

## **PATENT ABSTRACTS OF JAPAN**

(11)Publication number : **07-013528**

(43)Date of publication of application : **17.01.1995**

---

(51)Int.Cl. **G09G 3/36**  
**G02F 1/133**  
**H04N 5/66**

---

(21)Application number : **05-181833** (71)Applicant : **YUEN FOONG YU HK CO LTD**

(22)Date of filing : **16.06.1993** (72)Inventor : **LEE SYWE N**

---

(30)Priority

Priority number : **92 971721** Priority date : **04.11.1992** Priority country : **US**

---

**(54) LCD DISPLAY DEVICE AND ITS DATA DRIVING LINE NUMBER REDUCTION METHOD**

(57)Abstract:

PURPOSE: To provide a data driver circuit and a system driving system which reduce the cost of a peripheral integrated circuit which is directly integrated on an LCD display substrate and is required to connect a non-scanning type active matrix liquid crystal display device to an array and that of a hybrid assembly.

CONSTITUTION: A demultiplexer circuit 102 is integrated on a display device 14 and multiplexed video data input signals of Y columns of one group are demultiplexed to Y pixel capacitors of X groups integrated as Z rows on the

substrate. Further a precharge circuit 116 is integrated on the substrate and pixel capacitors are precharged to a first voltage level and pixels are discharged into a second prescribed voltage level by video data input signals demultiplexed and connected to them and video display is obtained when pixel rows are successively scanned.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] In an LCD display which it has the 1st substrate at least the 1st and 2nd substrates that were separated by an electrooptics material layer which is glass and that counter this display a video-data entrance cable of Y book deposited on the 1st substrate and X group of Y switching elements of Z line deposited on the 1st substrate a load live line which deposits on a common electrode for all the switching elements on the 2nd substrate and the 1st substrate is connected to a switching element of Z line and activates a switching element of each low Y demultiplexing elements of X group which accumulates on the 1st substrate is connected to a video-data entrance cable of Y switching elements of X group and Y book connects a video data on an entrance cable of Y book to each of Y switching elements of X group continuously one by one and forms video PIKUCHUA An LCD display to provide.

[Claim 2] In the display according to claim 1 each capacity pixel element which forms a switching transistor and each Y switching element is provided further Each capacity pixel element has the 1st electrode deposited on the 1st substrate and a common electrode on the 2nd substrate An electrode which is each 1st [ the ] is connected to corresponding one in Y transistors in each Y switching element of X group Y precharge elements deposited on the 1st substrate are provided A display which precharges the data line and a pixel element before the each is connected to each of a video-data entrance cable of Y book between a demultiplexing element and a corresponding switching

transistor and video data signals are added to an input video line.

[Claim 3] A thin film transistor which forms each demultiplexing element further in the display according to claim 2. On the 1st substrate, deposit and for each demultiplexing element of No. even. The 1st [ to each of a demultiplexer of X group which connects an input video line of No. even to a switching transistor of No. even in a selection line in each Z line of a switching element of X group when it is connected respectively and each low is activated one by one ] control line. When it deposits on the 1st substrate it is connected to each demultiplexing element of No. odd and each low is activated one by one. An input video line of No. odd is connected to a switching transistor of No. odd in a selection line in each Z line of a switching element of X group. A display possessing the 2nd [ to each of a demultiplexer of X group which generates video display drawing ] control line.

[Claim 4] A display which possesses further a thin film transistor which forms each Y precharge elements and a thin film transistor which forms each Y switching transistor of each switching element of X group in the display according to claim 3.

[Claim 5] A display which are  $X = 6$  group  $Y = 64$  and  $Z = 240$  in the display according to claim 4.

[Claim 6] A display whose video PIKUCHUA is television PIKUCHUA in the display according to claim 1.

[Claim 7] In the data line and a pixel precharge circuit which are separated by a thin layer of electrooptic material and drive an LCD display at least whose one side is glass and which has the 1st and 2nd counter substrates. Two or more switching elements containing a switching transistor in which the procession deposition of this circuit is carried out on the 1st substrate and each forms a pixel capacitor and a display element. A common electrode for pixel capacitors on the 2nd substrate and a video-data entrance cable of Y book with which each has an input video-data voltage level. A load live circuit which activates a switching element in 1 - Z for each low which was connected to a sirloin itching element selected a given low one by one and was selected one by one. A

demultiplexing circuit of X group which accumulates on the 1st substrate and connects a video-data entrance cable of Y book to Y switching elements of selected X group in each low 1 - Z one by one on the 1st substrate. When each data line and a pixel capacitor in the low 1 which was connected to an element to which it deposits on and each Y switching elements in selected X group correspond and was selected - Z are precharged and each low is selected to a video data on an input video-data line of Y book. A circuit possessing Y precharge elements which discharge of the data line and the selected pixel capacitor is carried out more to an input video-data voltage level and form video display PIKUCHUA.

[Claim 8] Sauce which forms each precharge element further in the pixel precharge circuit according to claim 7A thin film transistor which has a drain and a gate electrode and by which a source electrode is connected to one in an input data line of the related Y book. A voltage source connected to a drain electrode of each precharge transistors before being connected to a gate electrode of each precharge thin film transistor and connecting data on the input video data line of Y book to a switching element related pixel capacitor of a selected low in a switching element of all the data lines and selected X group. A pixel precharge circuit possessing a precharge signal line which can be made to carry out discharge to an input video-data voltage level in which it flows and precharges and each pixel capacitor forms display PIKUCHUA with the data line.

[Claim 9] In the pixel precharge circuit according to claim 8 they are No. odd input data line  $D_1$  and  $D_3$  further.. The 1st prescribed voltage connected to a drain electrode of precharge transistors connected to  $D_{n-1}$  Input data line  $D_2$  of No. even  $D_4$  .. A pixel precharge circuit which has the prescribed voltage from which the 2nd connected to a drain electrode of precharge transistors connected to  $D_n$  differs.

[Claim 10] It is separated by film of electrooptics material and at least one side an entrance cable of an LCD display in which the 1st and 2nd substrates counter which is glass in a system to reduce this system. A switching element of Y

sequence of X group which accumulates on the 1st substrate at Z line performs charge and discharge between a predetermined voltage level ( $V+$  or  $V-$ ) and an input video-data voltage level and generates an LCD display image. A video-data entrance cable of Y sequence deposited on the 1st substrate and a demultiplexing circuit which deposits on the 1st substrate and connects a video-data entrance cable of Y sequence to a corresponding element in a switching element of each Y sequence of X group one by one. A demultiplexing circuit enables it to connect a video-data entrance cable of Y sequence to a switching element of X group one by one over the fixed time  $t_A$  system for which the 2nd fixed time only for the 1st hour to be touched one by one by each of X group and for a switching element of the last group X stabilize it to an input video-data voltage level as for a video-data line possesses a control means acquired further.

[Claim 11] A load live means to generate a signal which is connected to Z line of a switching element of X group and selects each of a switching element of Z line one by one further in the system according to claim 10. A system including a precharge circuit where only the 3rd hour precharges each switching element of each low selected before being connected to Z line of Y sequence and demultiplexing a video-data entrance cable of a switching element of X group.

[Claim 12] A system containing the 4th hour to precede a switching element in low  $n-1$  with the 3rd precharge period that carries out DISE recto by insulating so that a low select signal may be removed and a switching element may hold the video-data electric charge further in the system according to claim 11.

[Claim 13] A system which are  $t=42\mu\text{s}$ ,  $SX=6$  and  $Y=64$  in the system according to claim 12.

[Claim 14] In a system which reduces the number of data drive lines to a LCD display system. A display has the 1st and 2nd substrates that were separated by an electrooptics material layer and that counter PIKUCHUA is displayed at least that it is connected to two or more pixel capacitors at the appearance which is glass and two or more in-house-data lines deposited on the 1st [ in a X group Y sequence Z line ] substrate and the 1st substrate is charged. This system

demultiplexes an in-house-data line of a X group Y sequence and a video-data input signal line of Y book to all the pixel capacitors one by one in the 1st fixed time  $t$  To each of a X group Y sequence only the 2nd fixed time is demultiplexed one by one. Although a pixel capacitor which carried out discharge of all the in-house-data lines and the selected pixel to an input video-data voltage level and with which the last of X group was selected is stable to an input video-data voltage level. The 1st circuit where the 3rd fixed time that enables it to have sufficient time is acquired and the 2nd circuit that insulates all the pixel capacitors in low  $n-1$  in the 4th fixed time it being the 3rd circuit that is alike into the 5th fixed time and precharges all the in-house-data lines and a pixel capacitor in the low  $n$  to the 1st voltage level and Each low which a pixel follows with a data signal by which only time which was charged one by one to the 1st voltage level and was displayed on the next was demultiplexed. A system possessing said 3rd circuit it is changed to an input video-data voltage level and a pixel in each  $n$ -continuation low 1 is insulated and forms display PIKUCHUA.

[Claim 15] In an improvement circuit of an LCD display which has the input video-data line by which multiplexing video data signals are connected to two or more pixel capacitors in Y line of X group in Z line scanned serially of operation The 1st circuit means in which this circuit precharges all the data lines and a pixel capacitor in the low  $n$  only for the 1st fixed time to the 1st prescribed voltage level It demultiplexes in the 2nd fixed time that follows a video-data input signal to a pixel capacitor of X group in the scanned low  $n$ . A circuit possessing the 2nd circuit means in which the 1st prescribed voltage level of each pixel capacitor of X group in a scanned low is changed into to an input video-data voltage level and a video display is formed at the time of serial scan of Z low.

[Claim 16] A circuit including the 3rd circuit means that scans Z low serially in the 3rd [ further ] fixed time insulates all the pixel capacitors in low  $n-1$  in the circuit according to claim 15 and precharges all the pixel capacitors in the low  $n$  in the 1st fixed time after that.

[Claim 17] In the circuit according to claim 16 the 2nd circuit means demultiplexes a

video input signal over all the pixel capacitors of X group in the given low n within the 2nd time and voltage of each pixel capacitor is changed into the 2nd input video-data voltage level. The 1st circuit means precharges all the data lines and each pixel capacitor in the selected low n in the 1st fixed time and precharges each pixel capacitor to the 1st prescribed voltage level. A circuit which carries out DISE recto [ of low n-1 ] when the 3rd circuit means separates all the pixel capacitors in low n-1 in the 3rd fixed time.

[Claim 18] In the circuit according to claim 17, The 2nd circuit means demultiplexes a video-data input signal to each pixel capacitor of X group within  $t/X$  time, acquires additional time after that and the low n as low n-1. A circuit with sufficient time for each pixel capacitor in X group to be stable to the input video-data voltage level before DISE recto is carried out.

[Claim 19] By an electrooptics material layer. The 1st whose 1st substrate it dissociates and is glass at least and which counters. And in the number reducing method of data drive lines of an LCD display which has the 2nd substrate and has two or more pixel capacitors which generate PIKUCHUA when it deposits on the 1st [ of X group of a X low Y column ] substrate and is charged. This method carries out the multiplexer of the following step: i.e. the video-data entrance cable of Y book to all the pixel capacitors of a (a) X group Y column one by one into the fixed time t. To each of a X group Y column the multiplexer only of the 1st fixed time is carried out one by one. The 2nd fixed time is acquired by pan enabling it to have sufficient time for a pixel capacitor with which each data line and a selected related pixel received a voltage level selected beforehand and the last of X group was selected to be stable on a prescribed voltage level. (b) Separate all the pixel capacitors in low n-1 into the 3rd larger fixed time than the 1st fixed time and precharge all the pixel capacitors in the low n to the 1st predetermined voltage level in the 4th fixed time smaller than the (c) 1st fixed time. (d) How to consist of what step (a) - (c) is repeated one by one about each of Z low and display PIKUCHUA is formed for.

[Claim 20] In a formation method of an LCD display in which electrooptics

material dissociates and the 1st substrate has the 1st and 2nd substrates that are glass and that counter at least. This method deposits a video-data entrance cable of Y book on the following step: i.e. the 1st substrate X group of Y switching elements of Z low is deposited on the 1st substrate. A common electrode to all the switching elements is formed on the 2nd substrate. Deposit a load live line on the 1st substrate, connect a load live line to an element by which a switching element of Z low was selected one by one, and a switching element of each low is activated. A demultiplexing element of Y X groups is deposited on the 1st substrate. Connect a demultiplexing element of Y X groups to a video-data entrance cable of a switching element of Y X groups, and Y book and a video-data entrance cable of Y book is continuously connected to each of a switching element of Y X groups one by one, and form video PIKUCHUA by a video data on an entrance cable. How to consist of things.

[Claim 21] In a formation method of a pixel precharge circuit which drives an LCD display which is separated by electrooptic material layer and has the 1st and 2nd substrates at least whose one side is glass and that counter. This method deposits two or more switching elements containing the following step: i.e. a switching transistor in which each forms a display element and a pixel capacitor as a X group of a Z low Y column on the 1st substrate. Form a common electrode for pixel capacitors on the 2nd substrate, and a video-data entrance cable of Y book is formed on the 1st substrate. A load live circuit which activates a switching element in each low 1 which is connected to a switching element selects a given low one by one, and is selected one by one - Z is deposited on the 1st substrate. A demultiplexing circuit of X group which connects a video-data entrance cable of Y book to a switching element of a X group Y column in each low 1 - Z one by one is deposited on the 1st substrate. Y precharge elements connected to a corresponding element in Y switching elements in selected X group are deposited on the 1st substrate. Precharge each pixel capacitor in the selected low 1 - Z to the 1st prescribed voltage, and to it with a video-data voltage level on an input video-data line of Y book. How to consist of what voltage of each



selected pixel capacitor changes to an input video-data voltage level and video display PIKUCHUA is formed for at the time of a selection of each low.

[Claim 22] In an entrance cable reducing method to an LCD display in which it dissociates with an electrooptics material film and at least one side consists of the 1st and 2nd substrates that are glass and that counter. This method deposits the following steps: i.e. a switching element of a X group Y column on the 1st substrate at Z low performs charge and discharge between a predetermined voltage level (V+) and an input video-data voltage level and generates an LCD display image. Deposit a video-data entrance cable of Y column on the 1st substrate. Deposit a demultiplexing circuit on the 1st substrate and a video-data entrance cable of Y column is connected to a corresponding element in each Y column switching element of X group one by one. Connect a control means to a demultiplexing circuit and it enables it to connect a video-data entrance cable of Y column to a switching element of X group one by one over the fixed time t. How to consist of what additional time only for the 1st time  $t/X$  to be connected to each of X group one by one and for a switching element of the last group X stabilize a video-data line from a predetermined voltage level (V+) to an input video-data voltage level is acquired for.

[Claim 23] It has the 1st and 2nd counter substrates that the 1st substrate is glass at least and were separated in an electrooptics material layer. And in the number reducing method of data drive lines of an LCD display which will generate display PIKUCHUA if charged by a data signal which two or more pixel capacitors have deposited as a Y column Z low of X group on the 1st substrate and multiplexed on Y data input lines. This method separates all the capacitors in low n-1 by the following step of during time: i.e. the 1st circuit [1st] All the pixel capacitors in the low n are precharged to prescribed voltage by the 2nd circuit during the 2nd time Y video-data input signals over all the pixel capacitors of a X group Y column in the 3rd fixed time t. To each pixel capacitor of a X group Y column only the 4th fixed time  $t/X$  by the 3rd circuit. Although a pixel capacitor which changed into a predetermined video-data-signals voltage level predetermined precharge voltage

of a pixel capacitor which demultiplexed one by one and was selected and with which the last of X group was selected further is stable to a video-data voltage level. In order to be able to have sufficient time the 5th hour is given further How to consist of what repetition charge of each continuation low n of a pixel is carried out one by one the predetermined precharge voltage changes with the demultiplexed video data signals to video-data voltage is separated within each n-continuation low 1 and display PIKUCHUA is formed for.

[Claim 24] In an improved method of an LCD display which has a multiplexing input video data on a line demultiplexed to two or more pixel capacitors in a X group Y column line of Z low scanned serially of operation This method demultiplexes an input signal to X group after precharging the following step i.e. all the column lines in the low n and a pixel capacitor to a a certain time predetermined precharge voltage level by the 1st circuit means It demultiplexes to a pixel capacitor of X group in a low which has input video data signals scanned by the 2nd circuit means. How to consist of what a precharge voltage level of each pixel capacitor of each of X group in a low selected when Z low was scanned serially changes to an input video-data voltage level and a video display is formed for.

[Claim 25] A method containing a step which scans Z low serially by the 3rd circuit means further separates all the pixel capacitors in low n-1 in a method according to claim 24 and precharges all the pixel capacitors in the low n after that.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention about a video display and a related drive circuit generally With the video data signals with which what was selected using

the data line and the pixel capacitor which are precharged before reducing the number of input video-data lines especially using a multiplex configuration and adding video data signals comes. It is related with the LCD video display column drive circuit where discharge is carried out [ in ] to a suitable level and display operation is strengthened.

[0002]

[Description of the Prior Art]The matrix display device uses two or more display elements which were generally made into the procession matrix configuration and were supported by the both sides of the electrooptics material thin layer. The switching device accompanies the display element and controls impression of a data signal. This display element contains the pixel capacitor driven with the transistor as a switching device. One of the pixel electrodes is in the one side of a matrix display and the common electrode to each pixel is formed in the opposite hand of a matrix display. A transistor is a thin film transistor (TFT) usually deposited on transparent substrates such as glass. The source electrode of the switching element transistor is connected to the pixel electrode deposited in the same side as the switching transistor of a display matrix on glass. The drain electrode of all the switching transistors in a given column is connected to the same column conductor to which a data signal is impressed. The gate electrode of all the switching transistors in a given low is connected to the common low conductor and all the transistors in the low which the low selection signal was added to it and selected are changed to an ON state. By scanning a low conductor with a low selection signal all the switching transistors in a given low are set to ON and all the lows are selected one by one.

Simultaneously synchronizing with selection of each low video data signals are added to a column conductor. If the switching transistor in a given low is selected by a low select signal a pixel capacitor will be charged with the video data signals sent to a switching transistor by the value corresponding to the data signal on a column conductor. Each pixel which has an electrode on both sides of a display acts as a capacitor. If the signal over the selected low is removed the electric

charge in a pixel capacitor is accumulated till the next repetition the low will be again selected by a low select signal there and new voltage will be accumulated. Thus PIKUCHUA is formed on a matrix display of the electric charge accumulated in the pixel capacitor.

[0003] Although the term of "video" is generally used to the television signal displays other than TV PIKUCHUA or a display shall be covered here. Such a display can be made into the handheld computer game etc. which have a move figure LCD display.

[0004] It depends on the number of image formation pixels for the resolution of PIKUCHUA developed. The display of the 1024 column 768 low [ display / commercial / monochrome active-matrix-liquid-crystal ] in un-scanning is common. Such a display needs 1792 lows and a column driver lead.

[0005] Clearly it becomes difficult to connect many necessary columns and load live lines to a display so that there are many pixels within a matrix.

Therefore many devices for reducing the number of connection required between a matrix external circuit and the circuit deposited on the matrix itself are developed. Accumulating a scanner electronic device on the display board using the same art as using it for manufacture of the pixel driver of an LCD element is proposed by U.S. Pat. No. 4922240. In order to select an individual pixel reducing the number of connection with a matrix using the commutator or switch structure based on the same matrix configuration as being used with an active display is also proposed. The operation used as a TV display is not indicated.

[0006] In U.S. Pat. No. 5151689. The switching composition which connects at least two display elements to the signal wire in each low is used. The display device with which the column signal line numbers added to each of at least two display elements which scan each low serially and by which the display signal was connected to the signal wire via the same signal wire at a time serial were reduced is indicated. Therefore the total of a signal wire can be reduced below to the number of display elements of a row direction.

[0007] Reducing the number of address conductors is proposed by considering a

PIKUCHUA element as the group composition of at least two PIKUCHUA elements and carrying out the address of the PIKUCHUA element of each group to U.S. Pat. No. 4931787 by the same switching signal and a data conductor. The switching transistor relevant to the pixel element of each group can operate with a voltage level of a switching signal different respectively. Therefore the switching transistor relevant to the PIKUCHUA element of each group is selectively controllable by using the switching signal acquired from the drive means from which a voltage level changes by a predetermined method over the selection amplitude range. Thus some different voltage can be impressed to one conductor and the pixel of the same number can be operated.

[0008] except for these publicly known examples -- a commercial active-matrix-liquid-crystal display -- all are almost non-scanning-types. Such a non-scanning display needs one external lead for every column and low line. As described above the direct line interface driver for a monochrome 768x1024 computer display needs the lead of 1792. As described above it is a serious problem to process this much many leads within a display driver. This is a problem worsening so that the resolution and complexity of a display increase. Two primary targets for solving a problem are accumulating the driver circuit which reduces the number of necessary input leads and consists of a shift register RATSUCHI and a driver on the display board. Since it becomes unnecessary to mount an integrated circuit to up to each substrate cost is reduced by this and reliability improves.

[0009]

[Summary of the Invention] This invention relates to a new data driver circuit and a new drive method directly accumulable on the display board. Thereby the cost of peripheral integrated circuits required to connect a non-scanning active-matrix-liquid-crystal display to an array and a hybrid assembly becomes unnecessary. Therefore in this invention 384x240-pixel color handheld computer TV is used as an example. On the display itself a demultiplexer and a precharge circuit are manufactured by a thin film transistor (TFT) a video data is transmitted and a

display is directly interfaced with a video source. Let the video signal from the source of video which is not on a display be a multiplex configuration which goes to a display via input data read using one sixth of the directed line time intervals. As described above this is a mere example and can use different ratios to other displays on which the numbers of input leads differ. The block [ 1st ] demultiplexing circuit can transmit a video signal to the display in-house-data line of the 1st group with a control signal. The video signal of the 2nd group can be transmitted to the in-house-data line of the 2nd group throughout [ 1/6 term / of \*\* the 2nd of a directions line time interval ] after data transfer completion of the beginning the vertical file i.e. the column of the 1st group. This is performed by enabling the control signal of the 2nd demultiplexing circuit. This operation is continued one by one to 1-N of other displays on which the demultiplexing circuits 1-6 in the example of use differ from the number of columns.

[0010] Therefore all the lows of video information are transmitted to an in-house-data line by demultiplexing the video signal to the switching element of Y X groups in Z low selected in assigned data-input-time t. The advantage of this new demultiplexing drive method is reduced to 79 in which the number of external lead connection includes 384 in an example to 64 input data lines required control and a clock signal. It is that the problem on a TFT LCD assembly with a small connector pitch and mounting is solved remarkably. As a result a manufacturing cost is reduced.

[0011] A precharge circuit other than a demultiplexing method is used for each data line. It is used just for these circuits being made to carry out discharge of the data line and the pixel capacitor to a necessary level into the data signal input time interval t which precharged the related pixel capacitor simultaneously to the primary constant-voltage level of a high or a low and was assigned. Only two transistors are used for each data line but they are an object for input signal demultiplexing and an object for precharge of an in-house-data line. Therefore it becomes easy to manufacture a matrix with high yield.

[0012] Therefore it becomes the main features of this invention to manufacture

LCD which has the demultiplexer circuits and the precharge circuit which were deposited on the display itself using the thin film transistor.

[0013]All the data lines and the pixel capacitor in the selected low are precharged to a predetermined voltage level. So that it may end in little time rather than it will be necessary to carry out discharge of the data line and the pixel capacitor to a necessary level and carrying out charging of a pixel capacitor and the data line into a data signal input time interval. It is another feature of this invention to provide the new data driver circuit for self-scanning TFTLCD devices which has precharge transistors to carry out to each data line. It is also the feature of this invention to raise the yield under manufacture to each data line only using one demultiplexing transistor and one precharge transistors.

[0014]

[Example]Drawing 1 is a basic block diagram of the new display system 10 containing the display device 14 and the "off-glass (off-glass)" control circuit 12 which is independently connected to the display 14 and drives the element on it. The active-matrix-liquid-crystal display (AMLCD) shown in drawing 1 is typically constituted by 200000 or more display elements. Clearly about the display of television PIKUCHUA the resolution of PIKUCHUA becomes high so that there are many display elements. For example about handheld computer TV the array can contain 384 columns and 240 lows. In such a case the display element and pixel exceeding 92000 pieces are needed. Of course this number increases about a large-sized set. The transistor used for the drive of a pixel is a thin film transistor (TFT) usually deposited on substrates such as glass. The substrate which counters is separated by electrooptics material including the common element on the electrode and counter substrate which deposited the display element on glass. On the substrate 14 which can be used as glass the column-data driver circuit 16 drives the column line 24 with video data signals. It can be considered as the thing of a publicly known arbitrary type the pixel in each selected low is activated one by one and the lows 1-240 drive the low selection driver 25 one by one.

[0015] In the external control circuit 12 which became independent in the display 14, the sample capacitor 50 receives data from the input circuit 64 via the shift register 49. It harmonizes with the data in the shift register 49, and red, green, and a blue video signal are connected to the sample capacitor 50 from the circuit 58. A clock signal and a level vertical-synchronization-ized signal are supplied from the control logic 60. The high voltage generator 62 supplies required high-tension electric power. The output of the sample capacitor 50 is connected to the output amplifier 52 of 64. Therefore, when the display element of 384 is contained in the pixel of 1, low multiplex connection of the 64 data input lines 13 is carried out to 384 display elements on every 64-bit board 14 at a stretch. The video output of 64 is connected to the column conductor 24 via the column-data driver 16 by the line 13 so that a postscript may be carried out. By the line 18, different X in the low by which six pairs of video select signal lines were added to the column-data driver 16 on the glass 14 from the control circuit 12, the output signal of 64 was demultiplexed, and it was selected in Z (240) low on the glass 14. (6) It is connected to the Y (64) column 24 of a group one by one. Low selection driver signals, a clock, and a power line are connected to the low selection driver circuit 25 via the line 12 from the control circuit 12 so that a postscript may be carried out. The low selection driver circuit 25 can be made into publicly known arbitrary circuits. A precharge signal is connected to the substrate 14 via the line 48.

[0016] If the 1st low 26 is selected so that a postscript may be carried out, the display elements 1936 and 42 of the low 1 of drawing 1 will be activated. Next, the signal which charges each data line and each pixel capacitor 22 in the 1st group to prescribed voltage by the precharge circuit in the column-data driver circuit 16 is given one by one. Next, if a data signal is added to the column line 24, a capacitor will be discharged only the quantity depending on the level of the data signal added to the column line 24. The reason which enables it to discharge the capacitor 22 with a data signal using a precharge circuit is for discharging early farther than the case where it is shown in drawing 4. As shown in drawing 4, the time quantity taken to charge to the value which a capacitor shows by the



number 23 from 0 is X. However the time quantity taken for a capacitor to discharge from the maximum to the same level is Y far smaller than X. The time Z taken to require and discharge the time t fully although the whole quantity is charged is short. Since the charging time value is far quicker than charging time it can discharge a data-line capacitor to a suitable voltage level in a data signal input time interval. Thereby the time which a data-input-time interval takes can be shortened.

[0017] Therefore if each low is excited one by one it will charge simultaneously to a total value and all the pixel capacitors of all the groups in the selected low will be discharged one by one within X group. Thus the Y switching transistors 1936 and 42 of X group of Z low deposit on the substrate 14. When a display is for example a 384x240-pixel display six groups of 64 switching elements of 24 lows accumulate on a substrate. Such an example is examined here.

[0018] Drawing 2 is a detailed diagram of the substrate 14. Here a video signal is given by the column control circuit 12 of the substrate exterior via the line 13 to the substrate 14. A low is selected one by one by the publicly known row-drivers circuit 25 containing the TFT transistor which operates with the control signal from the control circuit 12 through the line 21 of drawing 1 so that it may be publicly known. A low is shown in drawing 2 as 1 - a Z low and shows only the low of the beginning and the last. The remaining lows are the same. Y switching elements of X group are also shown in drawing 2. A switching element is constituted by a transistor and the related pixel capacitor. In order to simplify only the four switching elements 868890 and 92 are shown in the 1st group shown by the number 72. If the numbers of columns which X group uses actually being six groups are 384 columns such a switching element will be 64 pieces. The gate of the transistors 788082 and 84 which can be used as the thin film transistor deposited on the glass substrate 14 is connected to the row-drivers circuit 25 via the low conductor 1. The pixel capacitor 9496 and 98100 i.e. display elements is connected to each source electrode of the transistors 788082 and 84. The electrode 28 is the 2nd plate of a pixel capacitor and is a common electrode

segment arranged on the counter substrate of the display 14.

[0019]The precharge circuit 116 generates an output signal via the line 118 connected to all the 384 precharge transistors and each precharge transistors are connected to each 384 column lines on the substrate 14. The sample of precharge transistors is shown in the group 1 who shows by the number 66. The drain of the precharge transistors 120 is connected to voltage source  $V+$  and the source electrode is connected to in-house-data line column  $D_1$ . Such a transistor is connected to all the No. odd column lines. For example in drawing 2 the drain electrode of the transistors 120 and 124 is connected to the  $V+$  voltage source 128. The drain electrode of the transistors 122 and 126 of the No. even column line is connected to the  $V-$  voltage source 127. 64 output line  $D_{1-64}$  from the column driver circuit 12 shown by the number 13 includes the video signal by which multiple connection was carried out to each of X group. In this example in which the number of columns is set to 384 there are six groups ( $X=6$ ) of 64 columns ( $Y=64$ ) which receive a multiplexing video input signal from the entrance cable 13. The demultiplexer circuits 102 generate phase 1 and phase 2 pulse connected to the gate of the demultiplexing transistor 108 110....112 114 in the group 1 of the block 1. The groups 5 and 6 ( $X-1$  and  $X$ ) who show by the numbers 68 and 70 with the line pair 130 from the demultiplexer 102 and the same signal on 132 drive. Thus the 64 video-data entrance cables 13 are first connected to 64 columns in the switching element 86 88....90 and the 1st group 72 of 92 by the demultiplexer drive circuit 102 and it is connected to the group 2 whom 64 lines follow next - each of X one by one. Therefore the 64 data input lines 13 are connected to the switching element of the following five groups including the groups 74 and 76 who illustrate one by one. Each low 1 - Z are also selected one by one and Z is equal to 240 lows in this example. 1 low is selected whenever 64 input data lines are connected with the six groups 1 - all of X one by one.

[0020]Therefore if it summarizes drawing 2 shows the block diagram of the accumulated data driver circuit. It has a display which provides 384x240-pixel

color handheld computer TV as a mere example. A level pixel count is 384. A multiplexer and the precharge circuits 66-130 and 132 six groups is manufactured by the thin film transistor on the \*\* display itself. A video data is transmitted to an interface from the entrance cable 13 and a display interfaces with the video signal from the source of video through the line 13 directly. He is trying for the video signal from the source of video (off-glass integrated circuit) to arrive at the 64 data lines of the display 14 at a stretch via the input data read 13 ( $D_{1-64}$ ) using the directed line time intervals as shown in drawing 2. With two control signals from the demultiplexer circuits 102 of line 104 and 106 superiors. A video signal is transmitted to the block [ 1st ] demultiplexing transistor 108 and 110....112 within the block 66 and the switching element which 114 was enabled and was connected to 1st 64 in-house-data line  $D_1$  of a display -  $D_{64}$  via the line 13. After data transfer completing to the 1st 64 column switching element the following video signal of 64 is transmitted to in-house-data line  $D_{65} - D_{128}$  throughout [ 1/6 next to directed line time interval ]. This enables the control signal of the 2nd pair of the 2nd demultiplexing circuit (not shown) and is performed. The same operation is continued one by one to the demultiplexing circuit in the group 3-6. Thus all 1 low lines of video information are transmitted in the data input time to which 42 microS was assigned to an in-house-data line. 7 microS for stabilizing a pixel is added. Therefore the total data input time is set to 49 microS.

[0021] The advantage of this new demultiplexing drive system is that the number of external connection is reduced from 384 to 79 and the small TFTLCD assembly and mounting problem of a connector pitch are solved remarkably. As a result a manufacturing cost is reduced. 108 and 110 .... It adds to the demultiplexing method which uses the transistor of the 112 and 114th grade Transistor 120 and 122 .... The data line and a switching element related using the precharge transistors of the 124 and 126th grade are simultaneously precharged to predetermined voltage-level  $V_+$  or  $V_-$ . Only the inside of a data signal and an input time interval should be made to discharge the data line to a predetermined video signal level. Each column line accompanies such one precharge transistors. In this invention only

two transistors are used for each data line but it is a demultiplexing transistor and precharge transistors. Therefore a circuit can be manufactured with high yield.

[0022] Next if drawing 2 is referred to together with the timing diagram of drawing 3 it turns out that the scanning line time interval of the 384x240-pixel display which interfaces with a NTSC TV system from the (a) line of drawing 3 is set to about 63μs. A schedule line time is 42μs to multiplex transmission of the video data from 6μs and the source of external video to the data line of X group of a display to 8μs and scanning data line precharge to pre- line DISElection and is 7μs to stabilization of a pixel. This is shown in the (c) line.

Thus if the (d) line of drawing 3 is seen line  $1_{n-1}$  before scanned during the DISE recto time of the first 8μs will be discharged from the selection level of 20V grade to the DISE recto level of -5V as shown in the (e) line of drawing 3. All the pixel capacitors in  $n-1$  line are separated by this and the video-data electric charge is held. The precharge signal of the low  $n$  shown in the (f) line goes up to the prescribed voltage of 25V grade only 6μs following the DISE recto time of 8μs. The transistor 120122....124126 is considered as one and they are No. odd in-house-data line  $D_1$  and  $D_3$  in 6μs. ----  $D_{383}$  is precharged to  $V_+$  level and they are No. even in-house-data line  $D_2$  and  $D_4$ ....  $D_{384}$  is precharged to  $V_-$  level. For example  $V_+$  voltage level is about 5V and  $V_-$  voltage level is about 0V. However as for  $V_+$  level it is advantageous to make it a little lower than 5V and to raise the working speed of a device. As shown in drawing 5 an in-house-data line and a pixel capacitor can be charged during the precharge period of 6μs at  $V_+$  value lower than the maximum voltage of 5V. Next the same time as  $\Delta V_2$  serving as the maximum data voltage from  $V_+$  and  $\Delta V_1$  being discharged to minimum data voltage during [ when a pixel capacitor is charged by the data line to a data input voltage level ] the 7μs is required. In any case the charging time of  $\Delta V_2$  and the charging time value of  $\Delta V_1$  can be shortened namely optimized. It is shortened to the time quantity taken for the data line and pixel capacitor charging time to obtain  $\Delta V_2$  and if necessary data-line prescribed voltage is lower than 5V only time quantity with a charging time value

equal to discharge of  $\Delta V_2$  to a necessary level will be shortened. It does in this way  $V_+$  voltage level is optimized. A time lag when discharging the pixel capacitor relevant to the time of charging the pixel capacitor relevant to an in-house-data line to the maximum input video-data-signals level of 5V and an in-house-data line to the minimum input video-data-signals level of 0V can serve as the minimum. Thus since a pixel capacitor is not charged during a precharge period to the total value of 5V necessary precharge time becomes short. The same analysis is applied also to the  $V_-$  voltage level 127 of the No. even precharge transistors 122....126. 9496 .... After all the in-house-data lines and pixel capacitor in the low by which the 98100th grade was selected are precharged to  $V_+$  or  $V_-$  level the coming video data signals (redgreenblue) and its complementary signal are sent to the data input lines D1-D64. In this case D<sub>1</sub>D<sub>3</sub> .... D<sub>63</sub> is a straight polarity video signal and is D<sub>2</sub> and D<sub>4</sub>.... D<sub>64</sub> is that complementary polarity video signal. Such video signal voltage is shown in (j) and the (k) line of drawing 3. As shown in the (g) line of drawing 3 only 7microS can pull up the control signal from the demultiplexer driver circuit 102 through the lines 104 and 106 to 25V and 30V respectively. In this case as each entrance cable of other X groups which are X= 6 is shown in (g) of drawing 3 (h) and a (i) line a video data is connected via the line 13 only in 7microS. The data line is divided to two groups of odd-even because a data voltage polarity-reversals method is used in this system. Data voltage polarity is changed between SUFIRUDO of the TV frame. It is used for 7micro of last S of a 63microS time interval stabilizing a final group the group X and an inner pixel.

[0023] Let the demultiplexing transistor 108110....112114 be the size which can be discharged within 15 mV of the video-data color signal with which in-house-data line D<sub>1</sub> - D<sub>64</sub> come in this example into the assigned time interval which is 7microS. Continuous action is repeated to each demultiplexer circuits of 66-68 and 70 or all six groups.

[0024] At the time of the n-th low linear-scanning operation start the pixel switching transistor of the low n is already thoroughly set to ON. Therefore after DISE recto

[ of the low  $n-1$  scanned ] is carried out the pixel of the low  $n$  is precharged next. When [ whose remaining  $49\mu\text{s}$  data input transfer time is every  $8\mu\text{s}$  ] intrinsically assigned to equal time The block [ 1st ] pixel transistor of  $D_1$  of the low  $n - D_{64}$  column has all the  $49\mu\text{s}$  for a pixel charging time value The block [ 2nd ] pixel transistor of the low  $n$  connected to  $D_{65} - D_{128}$  column has a charging time value which is about  $41\mu\text{s}$ . It is set to about  $33\mu\text{s}$  and the 3rd block is the same as that of the following. Only the pixel charging time value of small  $9\mu\text{s}$  is substantially left behind to the final block pixel transistor of the low  $n$ . If the time of  $7\mu\text{s}$  is assigned to each of the pixel transistor of six groups and  $7\mu\text{s}$  of last S is made pixel stabilization as shown in drawing 3 (d) sufficient charging time value for all the pixel transistors will be given. If a charging time value is short error voltage  $\Delta V$  to the 6th block of a pixel can be generated. In order to reduce  $\Delta V$  and to consider it as the resolution of 256 gray levels it is desirable to assign 7 more  $\mu\text{s}$  to pixel stabilization time. In this case  $14\mu\text{s}$  for the pixel capacitor of the 6th group to be stable to that video signal level can be used. (e) As shown in a line when DISE recto [ of the  $n-1$  line ] is carried out the voltage which  $n$  line is selected and is impressed to the line is the maximum of  $20V$  as shown in (e).

[0025] A demultiplexing ratio affects the number of video leads and the number of signal input leads. It can optimize or reach a compromise according to application of a product. For example to a high resolution and/or high PIKUCHUA quality many video signal leads are connectable with the substrate 14 with per [ sufficient ] not 64 but group using a small demultiplexing ratio. Or a demand grade is low to low-speed video products the number of input leads can be reduced substantially.

[0026] According to the fact that the data line and a pixel are discharged during the input of a video signal for the direction charged rather than discharging in order to use N channel transistor for signal transmission with this application and to obtain a signal level exact again to be performed easily and promptly far. Required maximum-voltage level precharge of the data line and the pixel is

carried out.

[0027] It can be considered as one control line signal which combines  $\phi_{1e}$  and  $\phi_{1and\ o}$  (lines 104 and 106) and is supplied to all the gates of the multiplexing transistor 108110....112114 in the group 1. Gate voltage stress combination of the signal  $\phi_{1e}$  and  $\phi_{1and\ o}$  for the device property of the demultiplexing transistor 108110....112114 instead of a problem to make an in-house-data line and a pixel capacitor discharge uniformly. It can carry out when so good that it is enough. Similarly other demultiplexing line pairs of 130 and the 132 grades to other five groups containing 68 and 70 of drawing 2 can be combined and it can be considered as one control line to each set. In such a case the number of multiplexer gate control lines can be reduced by half.

[0028] The active-matrix liquid crystal display in which the number of required data input leads is reduced by this invention and a column and a row-drivers circuit are directly accumulated on the display board is indicated. Since the necessity of mounting an integrated circuit on an independent board is lost, cost is reduced by this and reliability improves.

[0029] About this example 384x240-pixel color handheld computer TV is used. The number of level pixels is 384. A demultiplexer and a precharge circuit are manufactured by a thin film transistor on the display itself. A video data is transmitted and a display interfaces with the source of video directly. It is made for the video signal from the source of video of the display exterior to arrive at the data line of the display 64 at a stretch using one sixth of the directed line time intervals. With every two control signals [ 12 ] the demultiplexing transistor in different 6 blocks can transmit the coming video signal to each of six groups one by one to 64 in-house-data lines of six groups of a display. After video-data transmission completing to 1st 64 in-house-data line the following 64 video signals are transmitted to in-house-data line  $D_{65} - D_{128}$ . This enables the set [ 2nd ] control signal of a demultiplexing circuit and is performed. Transmission of each video data signals is performed throughout [ 1/6 term / of the directed line time interval ]. This operation is continued one by one about all six demultiplexing

circuits. The whole video information of 1 low is transmitted in the data input time to which 42microS was assigned to an in-house-data line.

[0030]Although this invention has been explained about the example it shall not limit to the specific format which indicated the scope of an invention and all of the change and correction included in the pneuma and the scope of an invention which were specified in the claim and an equivalent invention shall be contained in this invention.

---

## DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1]The new system for self-scanning TFTLCD video displays and the basic block diagram of a data driver circuit.

[Drawing 2]The detail view of a matrix array and the data scanning circuit on it.

[Drawing 3]The figure showing the waveform of this invention and timing.

[Drawing 4]The capacitor charge wave form chart showing that a capacitor discharges more nearly promptly than charge.

[Drawing 5]The wave form chart showing impressing voltage lower than total precharge voltage V+ or V- to a pixel capacitor and reducing time.

[Description of Notations]

10 Display system

12 Column driver circuit

14 Glass display

16 Column-data driver

25 Low selection driver

49 Shift register

50 Sample capacitor

52 Output amplifier

58 Video



60 Control logic  
62 High voltage generator  
64 Input CLR  
66 Group I  
68 Group (X-1)  
70 Group X  
72 Switching element  
74 Switching element  
76 Switching element  
102 Demultiplexer driver circuit  
116 Precharge circuit

---

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-13528

(43) 公開日 平成7年(1995)1月17日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36				
G 0 2 F 1/133	5 0 5	9226-2K		
H 0 4 N 5/66	1 0 2 B	9186-5C		

審査請求 未請求 請求項の数25 書面 (全 18 頁)

(21) 出願番号 特願平5-181833

(22) 出願日 平成5年(1993)6月16日

(31) 優先権主張番号 9 7 1 7 2 1

(32) 優先日 1992年11月4日

(33) 優先権主張国 米国 (U S)

(71) 出願人 593140842

ユエン フォーング ユ エイチ. ケイ.  
カンパニー リミテッド  
ホンコン, カウルーン, ティ. エス. テ  
ィ. イースト, モディ ロード 77, チャ  
イナケム ゴールデン プラザ, スウィー  
ト 1507

(72) 発明者 サイウエ エヌ. リー

台湾, 台北, ネイ - フ, ウェン デル  
ロード 111 5 フロアー

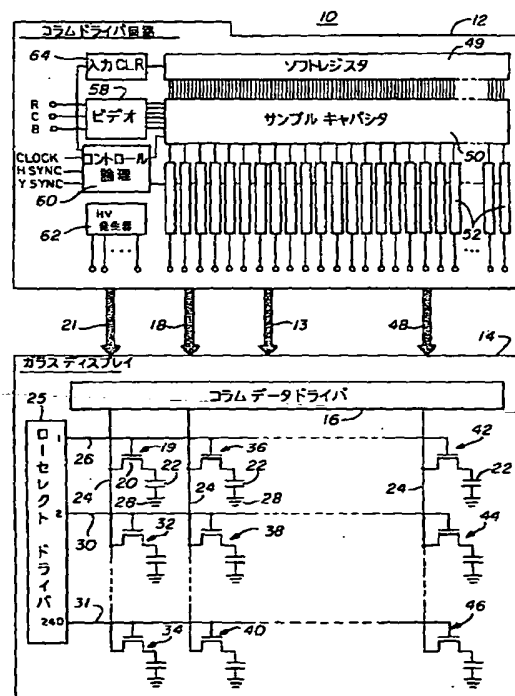
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 LCDディスプレイおよびそのデータ駆動線数低減方法

(57) 【要約】

【目的】 LCDディスプレイ基板上に直接集積して非走査型アクティブマトリックス液晶ディスプレイをアレイに接続するのに必要な周辺集積回路およびハイブリッドアセンブリのコストを削減することができるデータドライバ回路およびシステム駆動方式を提供する。

【構成】 デマルチプレクス回路102がディスプレイ14上に堆積されて1群のYコラムの多重化ビデオデータ入力信号が同じく基板上にZローとして堆積されるX群のY個のピクセルキャパシタへデマルチプレクスされる。さらに、プリチャージ回路116が基板上に堆積されてピクセルキャパシタを第1の電圧レベルへプリチャージしそこへデマルチプレクス接続されたビデオデータ入力信号によりピクセルは第2の所定電圧レベルへ放電してピクセルローが逐次走査される時にビデオディスプレイが得られる。



## 【特許請求の範囲】

【請求項 1】 少くとも第 1 の基板がガラスである、電気光学材層により分離された対向する第 1 および第 2 の基板を有する LCD ディスプレイにおいて、該ディスプレイは、第 1 の基板上に堆積された Y 本のビデオデータ入力線と、第 1 の基板上に堆積された Z 行の Y 個のスイッチング素子の X 群と、第 2 の基板上の全スイッチング素子用の共通電極と、第 1 の基板上に堆積され Z 行のスイッチング素子に接続されて各ローのスイッチング素子を活性化させるロードドライブ線と、第 1 の基板上に堆積され X 群の Y 個のスイッチング素子および Y 本のビデオデータ入力線に接続されて逐次連続的に Y 本の入力線上のビデオデータを X 群の Y 個のスイッチング素子の各々に接続してビデオピクチャを形成する X 群の Y 個のデマルチプレクシング素子、を具備する LCD ディスプレイ。

【請求項 2】 請求項 1 記載のディスプレイにおいて、さらに、スイッチングトランジスタおよび Y 個の各スイッチング素子を形成する各容量ピクセル素子を具備し、各容量ピクセル素子は第 1 の基板上に堆積された第 1 の電極および第 2 の基板上の共通電極を有し、各第 1 の電極は X 群の Y 個の各スイッチング素子内の Y 個のトランジスタの中の対応する 1 個に接続されており、さらに、第 1 の基板上に堆積された Y 個のプリチャージ素子を具備し、その各々がデマルチプレクシング素子と対応するスイッチングトランジスタ間の Y 本のビデオデータ入力線の各々に接続されていてビデオ入力線にビデオデータ信号が加えられる前にデータ線およびピクセル素子をプリチャージする、ディスプレイ。

【請求項 3】 請求項 2 記載のディスプレイにおいて、さらに、各デマルチプレクシング素子を形成する薄膜トランジスタと、第 1 の基板上に堆積され偶数番の各デマルチプレクシング素子にそれぞれ接続されて各ローが逐次活性化される時に偶数番のビデオ入力線を X 群のスイッチング素子の各々の Z 行の中の選定行内の偶数番のスイッチングトランジスタに接続する X 群のデマルチプレクサの各々に対する第 1 のコントロール線と、第 1 の基板上に堆積され奇数番の各デマルチプレクシング素子に接続されて各ローが逐次活性化される時に奇数番のビデオ入力線を X 群のスイッチング素子の各々の Z 行の中の選定行内の奇数番のスイッチングトランジスタに接続してビデオディスプレイ画を生成する X 群のデマルチプレクサの各々に対する第 2 のコントロール線、を具備するディスプレイ。

【請求項 4】 請求項 3 記載のディスプレイにおいて、さらに、Y 個の各プリチャージ素子を形成する薄膜トランジスタと、X 群の各スイッチング素子の Y 個の各スイッチングトランジスタを形成する薄膜トランジスタ、を具備するディスプレイ。

【請求項 5】 請求項 4 記載のディスプレイにおいて、

X = 6 群、Y = 64、Z = 240 であるディスプレイ。

【請求項 6】 請求項 1 記載のディスプレイにおいて、ビデオピクチャはテレビジョンピクチャであるディスプレイ。

【請求項 7】 電気光学材料の薄層で分離され、少くとも一方がガラスである、第 1 および第 2 の対向基板を有する LCD ディスプレイを駆動するデータ線およびピクセルブリチャージ回路において、該回路は、第 1 の基板上に行列堆積され各々がピクセルキャパシタおよびディスプレイ素子を形成するスイッチングトランジスタを含む複数のスイッチング素子と、第 2 の基板上のピクセルキャパシタ用共通電極と、各々が入力ビデオデータ電圧レベルを有する Y 本のビデオデータ入力線と、ロースイッチング素子に接続され所与ローを逐次セレクトして逐次セレクトされた各ローを 1 ~ Z 内のスイッチング素子を活性化するロードドライブ回路と、第 1 の基板上に堆積され Y 本のビデオデータ入力線を各ロー 1 ~ Z 内のセレクトされた X 群の Y 個のスイッチング素子に逐次接続する X 群のデマルチプレクシング回路と、第 1 の基板上に堆積されセレクトされた X 群内の Y 個の各スイッチングエレメントの対応するエレメントに接続されてセレクトされたロー 1 ~ Z 内の各データ線およびピクセルキャパシタをプリチャージし各ローがセレクトされる時に Y 本の入力ビデオデータ線上のビデオデータによりデータ線およびセレクトされたピクセルキャパシタが入力ビデオデータ電圧レベルへディスチャージされてビデオディスプレイピクチャを形成する Y 個のプリチャージ素子、を具備する回路。

【請求項 8】 請求項 7 記載のピクセルブリチャージ回路において、さらに、各プリチャージ素子を形成するソース、ドレインおよびゲート電極を有しソース電極はその関連する Y 本の入力データ線の中の 1 本に接続されている薄膜トランジスタと、各プリチャージトランジスタのドレイン電極に接続されている電圧源と、各プリチャージ薄膜トランジスタのゲート電極に接続され Y 本のビデオ入力データ線上のデータがスイッチング素子に接続される前に全データ線およびセレクトされた X 群のスイッチング素子内のセレクトされたローの関連するピクセルキャパシタを導通かつプリチャージしてデータ線により各ピクセルキャパシタがディスプレイピクチャを形成する入力ビデオデータ電圧レベルへディスチャージできるようにするプリチャージ信号線、を具備するピクセルブリチャージ回路。

【請求項 9】 請求項 8 記載のピクセルブリチャージ回路において、さらに、奇数番入力データ線  $D_1$ 、 $D_3 \cdot \cdot \cdot D_{n-1}$  に接続されたプリチャージトランジスタのドレイン電極に接続された第 1 の所定電圧と、偶数番の入力データ線  $D_2$ 、 $D_4 \cdot \cdot \cdot D_n$  に接続されたプリチャージトランジスタのドレイン電極に接続された第 2 の異なる所定電圧、を有するピクセルブリチャージ回路。

【請求項10】 電気光学材の膜により分離され、少くとも一方がガラスである、第1および第2の基板が対向するLCDディスプレイの入力線を低減するシステムにおいて、該システムは、第1の基板上にZ行に堆積され所定の電圧レベル（V+もしくはV-）と入力ビデオデータ電圧レベルとの間で充放電を行ってLCDディスプレイ像を生成するX群のY列のスイッチング素子と、第1の基板上に堆積されたY列のビデオデータ入力線と、第1の基板上に堆積されY列のビデオデータ入力線をX群の各々のY列のスイッチング素子の中の対応する素子に逐次接続するデマルチプレクシング回路と、デマルチプレクシング回路がY列のビデオデータ入力線を固定時間tにわたってX群のスイッチング素子に逐次接続できるようにし、ビデオデータ線は第1の時間だけX群の各々に逐次接されて、最終群Xのスイッチング素子が入力ビデオデータ電圧レベルに安定化するための第2の固定時間がさらに得られるようにするコントロール手段、を具備するシステム。

【請求項11】 請求項10記載のシステムにおいて、さらに、X群のスイッチング素子のZ行に接続されZ行のスイッチング素子の各々を逐次セレクトする信号を発生するロードライブ手段と、Y列のZ行に接続されX群のスイッチング素子のビデオデータ入力線をデマルチプレクスする前にセレクトされた各ローの各スイッチング素子を第3の時間だけプリチャージするプリチャージ回路、を含むシステム。

【請求項12】 請求項11記載のシステムにおいて、さらに、ローセレクト信号を除去してスイッチング素子とそのビデオデータ電荷を保持するように絶縁することによりローn-1内のスイッチング素子をディセレクトする第3のプリチャージ期間に先行する第4の時間を含む、システム。

【請求項13】 請求項12記載のシステムにおいて、 $t = 4.2 \mu S$ 、 $X = 6$ 、 $Y = 64$ である、システム。

【請求項14】 LCDディスプレイシステムへのデータドライブ線数を低減するシステムにおいて、ディスプレイは電気光学材層により分離された対向する第1および第2の基板を有し、少くとも第1の基板はガラスであり、複数本の内部データ線がX群Y列Z行内の第1の基板上に堆積された同様に複数個のピクセルキャパシタに接続されていてチャージされるとピクチャを表示するようにされており、該システムは、X群Y列の内部データ線およびピクセルキャパシタの全てに対するY本のビデオデータ入力信号線を第1の固定時間t内に逐次デマルチプレクスし、X群Y列の各々に対しては第2の固定時間だけ逐次デマルチプレクスして全内部データ線およびセレクトされたピクセルを入力ビデオデータ電圧レベルヘディスチャージさせX群の最後のセレクトされたピクセルキャパシタが入力ビデオデータ電圧レベルヘ安定化するのに十分な時間を持つことができるようにする第

3の固定時間が得られるようにする第1の回路と、第4の固定時間中にローn-1内の全ピクセルキャパシタを絶縁する第2の回路と、第5の固定時間中にローn内の全内部データ線およびピクセルキャパシタを第1の電圧レベルヘプリチャージする第3の回路であって、ピクセルの連続する各ローは第1の電圧レベルヘ逐次チャージされ次に表示された時間だけデマルチプレクスされたデータ信号により入力ビデオデータ電圧レベルヘ変えられかつ各連続ローn-1内のピクセルが絶縁されてディスプレイピクチャを形成する前記第3の回路、を具備するシステム。

【請求項15】 逐次走査されるZ行内のX群のY列線内の複数個のピクセルキャパシタに多重化ビデオデータ信号が接続されている入力ビデオデータ線を有するLCDディスプレイの動作改善回路において、該回路は、ローn内の全データ線およびピクセルキャパシタを第1の固定時間だけ第1の所定電圧レベルヘプリチャージする第1の回路手段と、走査されたローn内のX群のピクセルキャパシタへのビデオデータ入力信号を後続する第2の固定時間内にデマルチプレクスして走査されたロー内のX群の各々のピクセルキャパシタの第1の所定電圧レベルが入力ビデオデータ電圧レベルヘ変えられてZローの逐次走査時にビデオディスプレイが形成される第2の回路手段、を具備する回路。

【請求項16】 請求項15記載の回路において、さらに第3の固定時間中にZローを逐次走査してローn-1内の全ピクセルキャパシタを絶縁しその後第1の固定時間中にローn内の全ピクセルキャパシタをプリチャージする第3の回路手段を含む回路。

【請求項17】 請求項16記載の回路において、第2の回路手段は所与ローn内のX群のピクセルキャパシタの全てに対するビデオ入力信号を第2の時間t内にデマルチプレクスして各ピクセルキャパシタの電圧を第2の入力ビデオデータ電圧レベルヘ変え、第1の回路手段は全データ線およびセレクトされたローn内の各ピクセルキャパシタを第1の固定時間内にプリチャージして各ピクセルキャパシタを第1の所定電圧レベルヘプリチャージし、第3の回路手段はローn-1内の全ピクセルキャパシタを第3の固定時間内に分離することによりローn-1をディセレクトする回路。

【請求項18】 請求項17記載の回路において、第2の回路手段はX群の各ピクセルキャパシタへのビデオデータ入力信号を $t/X$ 時間内にデマルチプレクスしその後付加時間を得てローnがローn-1としてディセレクトされる前にX群内の各ピクセルキャパシタがその入力ビデオデータ電圧レベルヘ安定化するのに十分な時間を持つようにする回路。

【請求項19】 電気光学材層により分離され少くとも第1の基板がガラスである対向する第1および第2の基板を有しかつXローYコラムのX群の第1の基板上に堆

積されてチャージされた時にピクチュアを発生する複数個のピクセルキャパシタを有するLCDディスプレイのデータドライブ線数低減方法において、該方法は次のステップ、すなわち、(a) X群Yコラムの全ピクセルキャパシタに対するY本のビデオデータ入力線を固定時間 $t$ 内に逐次マルチプレクスし、X群Yコラムの各々に対しては第1の固定時間だけ逐次マルチプレクスして各データ線および関連するセレクトされたピクセルが予め選定された電圧レベルを受信してX群の最後のセレクトされたピクセルキャパシタが所定電圧レベルに安定化するための十分な時間を持つことができるようにするさらに第2の固定時間が得られるようにし、(b) 第1の固定時間よりも大きい第3の固定時間中にロー $n-1$ 内の全ピクセルキャパシタを分離し、(c) 第1の固定時間よりも小さい第4の固定時間中にロー $n$ 内の全ピクセルキャパシタを所定の第1電圧レベルにプリチャージし、(d) Zローの各々についてステップ(a)～(c)を逐次繰り返してディスプレイピクチュアを形成する、ことからなる方法。

【請求項20】 電気光学材により分離され少くとも第1の基板がガラスである対向する第1および第2の基板を有するLCDディスプレイの形成方法において、該方法は次のステップ、すなわち、第1の基板上にY本のビデオデータ入力線を堆積し、第1の基板上にZローのY個のスイッチングエレメントのX群を堆積し、全スイッチングエレメントに対する共通電極を第2の基板上に形成し、第1の基板上にロードドライブ線を堆積してロードドライブ線を逐次Zローのスイッチングエレメントのセレクトされたエレメントに接続して各ローのスイッチングエレメントを活性化させ、第1の基板上にX群Y個のデマルチプレクシングエレメントを堆積し、X群Y個のデマルチプレクシング素子をX群Y個のスイッチング素子およびY本のビデオデータ入力線に接続してY本のビデオデータ入力線が逐次連続的にX群Y個のスイッチング素子の各々に接続されて入力線上のビデオデータによりビデオピクチュアを形成する、ことからなる方法。

【請求項21】 電気光学材料層により分離され少くとも一方がガラスである対向する第1および第2の基板を有するLCDディスプレイを駆動するピクセルプリチャージ回路の形成方法において、該方法は次のステップ、すなわち、各々がディスプレイエレメントを形成するスイッチングトランジスタおよびピクセルキャパシタを含む複数個のスイッチング素子を第1の基板上にZローYコラムのX群として堆積し、ピクセルキャパシタ用共通電極を第2の基板上に形成し、第1の基板上にY本のビデオデータ入力線を形成し、スイッチング素子に接続されて所与のローを逐次セレクトし逐次セレクトされる各ロー1～Z内のスイッチング素子を活性化させるロードドライブ回路を第1の基板上に堆積し、Y本のビデオデータ入力線を各ロー1～Z内のX群Yコラムのスイッチン

グ素子に逐次接続するX群のデマルチプレクシング回路を第1の基板上に堆積し、セレクトされたX群内のY個のスイッチング素子の中の対応する素子に接続されるY個のプリチャージ素子を第1の基板上に堆積してセレクトされたロー1～Z内の各ピクセルキャパシタを第1の所定電圧へプリチャージしてY本の入力ビデオデータ線上のビデオデータ電圧レベルによりセレクトされた各ピクセルキャパシタの電圧が入力ビデオデータ電圧レベルに変化して各ローのセレクト時にビデオディスプレイピクチュアが形成される、ことからなる方法。

【請求項22】 電気光学材膜により分離され少くとも一方がガラスである対向する第1および第2の基板からなるLCDディスプレイへの入力線低減方法において、該方法は次のステップ、すなわち、X群Yコラムのスイッチング素子を第1の基板上にZローに堆積して所定の電圧レベル(V+) および入力ビデオデータ電圧レベル間で充放電を行いLCDディスプレイ像を生成し、Yコラムのビデオデータ入力線を第1の基板上に堆積し、デマルチプレクシング回路を第1の基板上に堆積してYコラムのビデオデータ入力線をX群の各々のYコラムスイッチング素子の中の対応する素子に逐次接続し、コントロール手段をデマルチプレクシング回路に接続してYコラムのビデオデータ入力線を固定時間 $t$ にわたってX群のスイッチング素子に逐次接続できるようにし、ビデオデータ線は第1の時間 $t/X$ だけX群の各々に逐次接続されて最終群Xのスイッチング素子が所定の電圧レベル(V+) から入力ビデオデータ電圧レベルへ安定化するための付加時間が得られる、ことからなる方法。

【請求項23】 少くとも第1の基板がガラスであり電気光学材層で分離された第1および第2の対向基板を有し、かつ複数個のピクセルキャパシタが第1の基板上にX群のYコラムZローとして堆積されていてYデータ入力線上で多重化されたデータ信号によりチャージされるとディスプレイピクチュアを発生するLCDディスプレイのデータドライブ線数低減方法において、該方法は次のステップ、すなわち、第1の時間中第1の回路によりロー $n-1$ 内の全キャパシタを分離し、第2の時間中に第2の回路によりロー $n$ 内の全ピクセルキャパシタを所定電圧へプリチャージし、X群Yコラムの全ピクセルキャパシタに対するY個のビデオデータ入力信号を第3の固定時間 $t$ 内に、またX群Yコラムの個々のピクセルキャパシタに対しては第4の固定時間 $t/X$ だけ第3の回路により逐次デマルチプレクスしてセレクトされたピクセルキャパシタの所定のプリチャージ電圧を所定のビデオデータ信号電圧レベルに変えさらにX群の最後のセレクトされたピクセルキャパシタがビデオデータ電圧レベルへ安定化するのに十分な時間を持つことができるようにするためにさらに第5の時間を与え、ピクセルの各連続ロー $n$ は逐次繰返しチャージされ、その所定のプリチャージ電圧はデマルチプレクスされたビデオデータ信号

によりビデオデータ電圧へ変化され各連続ロー $n-1$ 内で分離されてディスプレイピクチャが形成される、ことからなる方法。

【請求項24】 逐次走査されるZローのX群Yコラム線内の複数のピクセルキャパシタヘデマルチプレクスされた線上に多重化入力ビデオデータを有するLCDディスプレイの動作改良方法において、該方法は次のステップ、すなわち、ロー $n$ 内の全コラム線およびピクセルキャパシタを第1の回路手段によりある時間所定のプリチャージ電圧レベルへプリチャージした後で入力信号をX群ヘデマルチプレクスし、第2の回路手段により入力ビデオデータ信号を走査されるロー内のX群のピクセルキャパシタヘデマルチプレクスしてZローが逐次走査される時にセレクトされたロー内のX群の各々の各ピクセルキャパシタのプリチャージ電圧レベルが入力ビデオデータ電圧レベルへ変化してビデオディスプレイが形成される、ことからなる方法。

【請求項25】 請求項24記載の方法において、さらに第3の回路手段によりZローを逐次走査してロー $n-1$ 内の全ピクセルキャパシタを分離しその後でロー $n$ 内の全ピクセルキャパシタをプリチャージするステップを含む方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般的にビデオディスプレイおよび関連するドライブ回路に関し、特に多重化構成を使用して入力ビデオデータ線数を低減しかつビデオデータ信号が加わる前にプリチャージされるデータ線およびピクセルキャパシタを使用してセレクトされたものが到来するビデオデータ信号により適切なレベルへディスチャージされディスプレイ動作が強化されるLCDビデオディスプレイコラムドライブ回路に関する。

【0002】

【従来の技術】 マトリクスディスプレイデバイスは一般的に行列マトリクス構成とされ電気光学材薄層の両側に支持された複数のディスプレイエレメントを利用している。スイッチングデバイスがディスプレイエレメントに付随してデータ信号の印加を制御する。このディスプレイエレメントはスイッチングデバイスとしてのトランジスタにより駆動されるピクセルキャパシタを含んでいる。ピクセル電極の一つがマトリクスディスプレイの一方側にあり各ピクセルに対する共通電極がマトリクスディスプレイの反対側に形成されている。トランジスタは通常ガラス等の透明基板上に堆積される薄膜トランジスタ(TFT)である。スイッチング素子トランジスタのソース電極はディスプレイマトリクスのスイッチングトランジスタと同じ側でガラス上に堆積されたピクセル電極に接続されている。所与のコラム内の全スイッチングトランジスタのドレーン電極がデータ信号が印加される同じコラム導体に接続されている。所与のロー内の

全スイッチングトランジスタのゲート電極が共通ロー導体に接続されており、それにはロー選定信号が加えられてセレクトされたロー内の全トランジスタがON状態に切り替えられる。ロー選定信号によりロー導体を走査することにより、所与のロー内の全スイッチングトランジスタがONとされて全ローが逐次セレクトされる。同時に、各ローの選定に同期してコラム導体にビデオデータ信号が加えられる。ローセレクト信号により所与のロー内のスイッチングトランジスタがセレクトされると、スイッチングトランジスタに送られるビデオデータ信号によりピクセルキャパシタはコラム導体上のデータ信号に対応する値にチャージされる。ディスプレイの両側に電極を有する各ピクセルはキャパシタとして作用する。セレクトされたローに対する信号が除去されると、ピクセルキャパシタ内の電荷は次の繰返しまで蓄積されそこでそのローがローセレクト信号により再びセレクトされて新しい電圧が蓄積される。このようにして、ピクセルキャパシタに蓄積された電荷によりマトリクスディスプレイ上にピクチャが形成される。

【0003】 “ビデオ” という用語は一般的にテレビジョン信号に対して使用されているが、ここではTVピクチャやディスプレイ以外のディスプレイをカバーするものとする。このようなディスプレイは移動フィギュアルCDディスプレイを有するハンドヘルドゲーム等とすることができる。

【0004】 展開されるピクチャの分解能は像形成ピクセル数に依存する。市販の白黒アクティブマトリクス液晶ディスプレイでは非走査で1024コラム768ローのディスプレイが普通である。このようなディスプレイは1792本のローおよびコラムドライバリードを必要とする。

【0005】 明らかに、マトリクス内のピクセル数が多いほど多くの所要コラムおよびロードラインをディスプレイに接続することが困難になる。したがって、マトリクス外部回路とマトリクス自体上に堆積された回路間に必要な接続数を低減するための多くのデバイスが開発されている。米国特許第4,922,240号にはLCD素子のピクセルドライバの製造に使用すると同じ技術を使用してディスプレイ基板上にスキャナ電子装置を集積することが提案されている。さらに、個別ピクセルをセレクトするためにアクティブディスプレイで使用されるのと同じマトリクス構成に基いたコミュテータもしくはスイッチ構成を使用してマトリクスとの接続数を低減することも提案されている。TVディスプレイとして使用する操作については記載されていない。

【0006】 米国特許第5,151,689号には、少くとも2個のディスプレイ素子を各ロー内の信号線に接続するスイッチング構成を使用して各ローを逐次走査しディスプレイ信号が同じ信号線を介してその信号線に接続された少くとも2個のディスプレイ素子の各々にタイ

ムシリアルに加えられるようにするコラム信号線数が低減されたディスプレイデバイスが開示されている。したがって、信号線の総数をロー方向のディスプレイ素子数以下に低減することができる。

【0007】米国特許第4,931,787号には、ピクチャ素子を少なくとも2個のピクチャ素子の群構成とし各群のピクチャ素子を同じスイッチング信号およびデータ導体によりアドレスすることによりアドレス導体数を低減することが提案されている。各群のピクセル素子に関連するスイッチングトランジスタはスイッチング信号のそれぞれ異なる電圧レベルで作動することができる。したがって、選定振幅範囲にわたり所定の方法で電圧レベルが変化するドライブ手段から得られるスイッチング信号を使用することにより、各群のピクチャ素子に関連するスイッチングトランジスタを選択的にコントロールすることができる。このようにして、1本の導体にいくつかの異なる電圧を印加して同数のピクセルを作動させることができる。

【0008】これらの公知の例以外でも、市販のアクティブマトリクス液晶ディスプレイのほとんど全てが非走査型である。このような非走査型ディスプレイは各コラムおよびロー線ごとに1本の外部リードを必要とする。前記したように、黒白768×1024コンピュータディスプレイ用ダイレクトラインインターフェイスドライバは1792本のリードを必要とする。前記したように、ディスプレイドライバ内でこれだけ多くのリードを処理することは大変な問題である。これはディスプレイの分解能および複雑度が増すほど悪化していく問題である。問題を解決するための2つの主目標は所要入力リード数を低減しシフトレジスタ、ラッチおよびドライバからなるドライバ回路をディスプレイ基板上に集積することである。個々の基板上へ集積回路を実装する必要がなくなるため、これによりコストが低減され信頼度が向上する。

【0009】

【発明の概要】本発明はディスプレイ基板上に直接集積することができる新しいデータドライバ回路および新しいドライブ方式に関するものである。これにより、非走査型アクティブマトリクス液晶ディスプレイをアレイに接続するのに必要な周辺集積回路およびハイブリッドアセンブリのコストが不要となる。したがって本発明では、384×240ピクセルカラーハンドヘルドTVを例として使用して、ディスプレイ自体の上にデマルチプレクスおよびプリチャージ回路を薄膜トランジスタ(TFT)により製作しビデオデータを転送してディスプレイをビデオソースに直接インターフェイスする。ディスプレイ上にないビデオ源からのビデオ信号は指示されたライン時間間隔の1/6を使用して入力データリードを介してディスプレイへ行くような多重化構成とされている。前記したように、これは単なる例であり、入力リー

ド数の異なる他のディスプレイに対しては異なる比率を使用することができる。コントロール信号により第1ブロックのデマルチプレクス回路は第1群のディスプレイ内部データ線にビデオ信号を転送することができる。第1群の垂直列すなわちコラムへの最初のデータ転送完了後、指示ライン時間間隔の第2の1/6期間中に第2群の内部データ線へ第2群のビデオ信号を転送することができる。これは第2のデマルチプレクス回路のコントロール信号をイネーブルすることにより行われる。使用例におけるデマルチプレクス回路1~6もしくはコラム数の異なる他のディスプレイの1-Nに対してこの操作が逐次継続される。

【0010】したがって、割り付けられたデータ入力時間t中にセレクトされたZロー内のX群Y個のスイッチング素子へのビデオ信号をデマルチプレクスすることによりビデオ情報の全ローが内部データ線へ転送される。この新しいデマルチプレクスドライブ方式の利点は外部リード接続数が例における384から64本の入力データ線と必要なコントロールおよびクロック信号を含む79まで低減され、コネクタピッチの小さいTFT-LCDアセンブリと実装上の問題点が著しく解決されることである。その結果、製造コストが低減される。

【0011】デマルチプレクス方式の他に、プリチャージ回路が各データ線に使用される。これらの回路は関連するピクセルキャパシタをハイもしくはローの予選定電圧レベルへ同時にプリチャージして割り付けられたデータ信号入力時間間隔t中にデータ線とピクセルキャパシタを所要レベルへディスチャージするだけでよいようにするのに使用される。各データ線には2個のトランジスタしか使用されず、入力信号デマルチプレクス用と内部データ線のプリチャージ用である。したがって、高い収率でマトリクスを製造するのが容易になる。

【0012】したがって、薄膜トランジスタを使用してディスプレイ自体上に堆積されたデマルチプレクス回路およびプリチャージ回路を有するLCDを製造することが本発明の主な特徴となる。

【0013】セレクトされたロー内の全データ線およびピクセルキャパシタを所定の電圧レベルへプリチャージしてデータ信号入力時間間隔中にデータ線およびピクセルキャパシタを所要レベルへディスチャージする必要が生じてピクセルキャパシタおよびデータ線をチャージングするよりも少い時間で済むようにするプリチャージトランジスタを各データ線に対して有する自己走査TFT-LCDデバイス用の新しいデータドライバ回路を提供することが本発明のもう一つの特徴である。各データ線に対して1個のデマルチプレクストランジスタと1個のプリチャージトランジスタだけを使用して製造中の収率を高めることも本発明の特徴である。

【0014】

【実施例】図1はディスプレイデバイス14および独立

してディスプレイ 14 に接続されてその上の素子を駆動する“オフグラス (off-glass)” コントロール回路 12 を含む新しいディスプレイシステム 10 の基本ブロック図である。図 1 に示すアクティブマトリクス液晶ディスプレイ (AMLCD) は代表的に 200, 000 個以上のディスプレイ素子により構成される。明らかに、テレビジョンピクチャのディスプレイに関しては、ディスプレイ素子数が多いほどピクチャの分解能が高くなる。例えば、ハンドヘルド TV については、アレイは 384 コラムおよび 240 ローを含むことができる。このような場合、92, 000 個を超えるディスプレイ素子やピクセルが必要とされる。もちろん、大型セットについてはこの数は増大する。ピクセルの駆動に使用されるトランジスタは通常ガラス等の基板上に堆積される薄膜トランジスタ (TFT) である。ディスプレイ素子はガラス上に堆積された電極および対向基板との共通素子を含み、対向する基板は電気光学材により分離されている。ガラスとすることができる基板 14 上で、コラムデータドライバ回路 16 はビデオデータ信号によりコラム線 24 を駆動する。ローセレクトドライバ 25 は公知の任意タイプのものとしてでき、セレクトされた各ロー内のピクセルが逐次活性化されてロー 1 ~ 240 が逐次駆動される。

【0015】ディスプレイ 14 とは独立した外部コントロール回路 12 において、サンプルキャパシタ 50 はシフトレジスタ 49 を介して入力回路 64 からデータを受信する。シフトレジスタ 49 内のデータと調和して赤、緑および青ビデオ信号が回路 58 からサンプルキャパシタ 50 へ接続される。クロック信号および水平垂直同期化信号がコントロール論理 60 から供給される。高電圧発生器 62 が必要な高電圧電力を供給する。サンプルキャパシタ 50 の出力は 64 の出力アンプ 52 に接続されている。したがって、1 ローのピクセルに 384 のディスプレイ素子が含まれる場合、64 本のデータ入力線 13 が、一時に 64 ビットづつ、基板 14 上の 384 個のディスプレイ素子に多重接続される。後記するように、64 のビデオ出力は線 13 によりコラムデータドライバ 16 を介してコラム導体 24 に接続される。線 18 により、コントロール回路 12 から 6 対のビデオセレクト信号線がガラス 14 上のコラムデータドライバ 16 に加えられ 64 の出力信号がデマルチプレクスされてガラス 14 上の Z (240) ローの中のセレクトされたロー内の異なる X (6) 群の Y (64) コラム 24 へ逐次接続される。後記するように、ローセレクトドライバ信号、クロックおよびパワー線がコントロール回路 12 から線 12 を介してローセレクトドライバ回路 25 に接続される。ローセレクトドライバ回路 25 は公知の任意の回路とすることができる。プリチャージ信号は線 48 を介して基板 14 に接続される。

【0016】後記するように、第 1 のロー 26 がセレクト

されると、図 1 のロー 1 のディスプレイ素子 19, 36, 42 が活性化される。次に、順次、コラムデータドライバ回路 16 内のプリチャージ回路により第 1 群内の各データ線および各ピクセルキャパシタ 22 を所定電圧へチャージする信号が与えられる。次に、コラム線 24 にデータ信号が加えられると、コラム線 24 に加わるデータ信号のレベルに依存する量だけキャパシタが放電される。プリチャージ回路を使用してデータ信号によりキャパシタ 22 を放電できるようにする理由は図 4 に示す場合よりも遙かに早く放電するためである。図 4 に示すように、キャパシタが 0 から番号 23 で示す値まで充電するのに要する時間量は X である。しかしながら、キャパシタが最大値から同じレベルへ放電するのに要する時間量は X よりも遙かに小さい Y である。さらに、全量充電するのに時間 t を要し完全放電するのに要する時間 Z は短い。放電時間は充電時間よりも遙かに迅速であるためデータ信号入力時間間隔中にデータ線キャパシタは適切な電圧レベルへ放電することができる。これにより、データ入力時間間隔に要する時間を短縮できる。

【0017】したがって、各ローが逐次励起されると、セレクトされたロー内の全群の全ピクセルキャパシタが同時に全値へ充電され X 群内で逐次放電される。このようにして、Z ローの X 群の Y 個のスイッチングトランジスタ 19, 36, 42 が基板 14 上に堆積される。ディスプレイが例えば 384 × 240 ピクセルディスプレイである場合には、24 ローの 64 個のスイッチング素子の 6 群が基板上に堆積される。このような例についてここで検討を行う。

【0018】図 2 は基板 14 の詳細線図である。ここでも、基板外部のコラムコントロール回路 12 により線 13 を介して基板 14 へビデオ信号が与えられる。また、図 1 の線 21 を介したコントロール回路 12 からのコントロール信号により作動する TFT トランジスタを含む公知のロードドライバ回路 25 により公知のように逐次ローがセレクトされる。ローは図 2 に 1 ~ Z ローとして示され、最初と最後のローだけを示す。残りのローは同じである。また、図 2 には X 群の Y 個のスイッチング素子もある。スイッチング素子はトランジスタおよび関連するピクセルキャパシタにより構成される。番号 72 で示す第 1 群には、簡単にするために 4 個のスイッチング素子 86, 88, 90, 92 しか示されていない。実際には X 群が 6 群であって使用するコラム数が 384 コラムであれば、このようなスイッチング素子は 64 個となる。ガラス基板 14 上に堆積された薄膜トランジスタとすることができるトランジスタ 78, 80, 82, 84 のゲートはロー導体 1 を介してロードドライバ回路 25 に接続されている。ピクセルキャパシタすなわちディスプレイ素子 94, 96, 98, 100 はトランジスタ 78, 80, 82, 84 の各ソース電極に接続される。電極 28 はピクセルキャパシタの第 2 プレートでありディ



スプレイ14の対向基板上に配置された共通電極セグメントである。

【0019】プリチャージ回路116は384個の全プリチャージトランジスタに接続された線118を介して出力信号を発生し、各プリチャージトランジスタが基板14上の384本の各コラム線に接続されている。プリチャージトランジスタのサンプルを番号66で示すグループ1内に示す。プリチャージトランジスタ120のドレインは電圧源V+に接続され、ソース電極は内部データ線コラムD<sub>1</sub>に接続されている。奇数番コラム線の全てにこのようなトランジスタが接続されている。例えば図2において、トランジスタ120および124のドレイン電極はV+電圧源128に接続されている。偶数番コラム線のトランジスタ122および126のドレイン電極はV-電圧源127に接続されている。番号13で示すコラムドライバ回路12からの64本の出力線D<sub>1</sub>〜D<sub>64</sub>はX群の各々に並列接続されたビデオ信号を含んでいる。コラム数が384とされる本例では、入力線13から多重化ビデオ入力信号を受信する64コラム

(Y=64)の6群(X=6)がある。デマルチプレクス回路102はブロック1のグループ1内のデマルチプレクストランジスタ108、110……112、114のゲートに接続されるフェーズ1およびフェーズ2パルスを発生する。デマルチプレкса102からの線対130および132上の同様な信号により番号68および70で示すグループ5および6(X-1およびX)が駆動される。このようにして、デマルチプレクス駆動回路102により最初に64本のビデオデータ入力線13がスイッチング素子86、88……90、92の第1群72内の64コラムに接続され、次に64線が連続するグループ2〜Xの各々に逐次接続される。したがって、64本のデータ入力線13は図示するグループ74、76を含む次の5群のスイッチング素子に逐次接続される。各ロー1〜Zも逐次セレクトされ、本例ではZは240ローに等しい。64本の入力データ線が6群1〜Xの全てと逐次接続されるたびに1ローがセレクトされる。

【0020】したがって、要約すれば、図2は集積されたデータドライバ回路のブロック図を示している。それは、単なる例として、384×240ピクセルカラーハンドヘルドTVを提供するディスプレイを有している。水平ピクセルカウントは384である。マルチプレксаおよびプリチャージ回路66〜130および132、6群、はディスプレイ自体上の薄膜トランジスタにより製作されて入力線13からインターフェイスへビデオデータを転送しディスプレイは線13を介したビデオ源からのビデオ信号と直接インターフェイスされる。図2に示すように、ビデオ源(オフガラス集積回路)からのビデオ信号は指示されたライン時間間隔を使用して入力データリード13(D<sub>1</sub>〜D<sub>64</sub>)を介して一時にディスプレイ14の64本のデータ線へ到来するようにされてい

る。線104、106上等のデマルチプレクス回路102からの2つのコントロール信号によりブロック66内の第1ブロックのデマルチプレクストランジスタ108、110……112、114がイネーブルされてディスプレイの第1の64本の内部データ線D<sub>1</sub>〜D<sub>64</sub>に接続されたスイッチング素子へ線13を介してビデオ信号が転送される。第1の64個のコラムスイッチング素子へのデータ転送完了後、指示されたライン時間間隔の次の1/6期間中に内部データ線D<sub>65</sub>〜D<sub>128</sub>へ次の64のビデオ信号が転送される。これは第2のデマルチプレクス回路(図示せず)の第2対のコントロール信号をイネーブルして行われる。グループ3〜6内のデマルチプレクス回路に対して同じ操作が逐次継続される。このようにして、42μSの割付けられたデータ入力時間内にビデオ情報の1ロー線全部が内部データ線へ転送される。ピクセルを安定化させるための7μSが付加される。したがって、総データ入力時間は49μSとなる。

【0021】この新しいデマルチプレクス駆動方式の利点は外部接続数が384から79へ低減されコネクタピッチの小さいTFTLCDアセンブリおよび実装問題が著しく解決されることである。その結果、製造コストが低減される。108、110……112、114等のトランジスタを使用するデマルチプレクス方式に加えて、トランジスタ120、122……124、126等のプリチャージトランジスタを使用して関連するデータ線およびスイッチング素子を所定の電圧レベルV+もしくはV-へ同時にプリチャージして、データ信号、入力時間間隔中のみデータ線を所定のビデオ信号レベルへ放電すればよいようにされる。このような1個のプリチャージトランジスタには各コラム線が付随している。本発明では、各データ線に2個のトランジスタしか使用せず、それはデマルチプレクストランジスタおよびプリチャージトランジスタである。したがって、高い収率で回路を製造することができる。

【0022】次に図3のタイミング図と一緒に図2を参照すれば、図3の(a)線からNTSC-TVシステムとインターフェイスする384×240ピクセルディスプレイの走査線時間間隔はおおよそ63μSとなることが判る。予定ラインタイムは前のラインディセクションに対しては8μS、走査データ線プリチャージに対しては6μS、外部ビデオ源からディスプレイのX群のデータ線へのビデオデータの多重転送に対しては42μSであり、ピクセルの安定化に対しては7μSである。これを(c)線に示す。このようにして、図3の(d)線を見れば、最初の8μSのディセレクト時間中に、前に走査された線1<sub>n-1</sub>は図3の(e)線に示すように20V等のセレクトレベルから-5Vのディセレクトレベルへ放電される。これによりn-1線内の全ピクセルキャパシタが分離されてそのビデオデータ電荷を保持するよ

うにされる。8  $\mu$ Sのディセレクト時間に続いて、

(f) 線に示すローnのプリチャージ信号が6  $\mu$ Sだけ2.5V等の所定電圧へ上昇する。トランジスタ120, 122……124, 126がオンとされ6  $\mu$ S内に奇数番内部データ線D1, D3……D383がV+レベルへプリチャージされ偶数番内部データ線D2, D4……D384がV-レベルへプリチャージされる。例えば、V+電圧レベルはおおよそ5VでありV-電圧レベルはおおよそ0Vである。しかしながら、V+レベルは5Vよりも幾分低くしてデバイスの動作速度を高めるのが有利である。図5に示すように、6  $\mu$ Sのプリチャージ期間中に、内部データ線およびピクセルキャパシタを5Vの最大電圧よりも低いV+値に充電することができる。次に、データ線によりピクセルキャパシタがデータ入力電圧レベルへ充電される7  $\mu$ S期間中に、 $\Delta V_2$ がV+から最大データ電圧となりかつ $\Delta V_1$ が最小データ電圧へ放電されるのに同じ時間を要する。いずれの場合にも、 $\Delta V_2$ の充電時間および $\Delta V_1$ の放電時間を短縮すなわち最適化することができる。データ線およびピクセルキャパシタ充電時間は $\Delta V_2$ を得るのに要する時間量へ短縮されており、所要のデータ線所定電圧が5Vよりも低ければ、所要レベルまでの放電時間は $\Delta V_2$ の放電に等しい時間量だけ短縮される。このようにして、V+電圧レベルを最適化して内部データ線と関連するピクセルキャパシタを例えば5Vの最大入力ビデオデータ信号レベルへ充電する時と内部データ線と関連するピクセルキャパシタを例えば0Vの最小入力ビデオデータ信号レベルへ放電する時の時間差が最小となるようにすることができる。このようにして、プリチャージ期間中にピクセルキャパシタは5Vの全値へ充電されないため所要プリチャージ時間は短くなる。同じ分析は偶数番プリチャージトランジスタ122……126のV-電圧レベル127にも適用される。94, 96……98, 100等のセレクトされたロー内の全内部データ線およびピクセルキャパシタがV+もしくはV-レベルへプリチャージされた後で、到来するビデオデータ信号(赤、緑、青)およびその相補信号がデータ入力線D1~D64へ送られる。この場合、D1, D3……D63は正極性ビデオ信号でありD2, D4……D64はその相補極性ビデオ信号である。これらのビデオ信号電圧を図3の(j)および

(k) 線に示す。線104および106を介したデマルチプレクサドライバ回路102からのコントロール信号は、図3の(g)線に示すように、それぞれ7  $\mu$ Sだけ2.5Vおよび3.0Vへ引き上げられる。この場合X=6である他のX群の各入力線は図3の(g)、(h)、

(i) 線に示すように7  $\mu$ Sだけ線13を介してビデオデータが接続される。データ線を奇偶の2群へ分割するのは本システムにおいてデータ電圧極性反転方式が使用されるためである。データ電圧極性はTVフレームのフィールド間で変えられる。63  $\mu$ S時間間隔の最終7

$\mu$ Sは最終グループ、グループX、内のピクセルを安定化するのに使用される。

【0023】デマルチプレクストランジスタ108, 110……112, 114は本例において7  $\mu$ Sである割付けられた時間間隔内に内部データ線D1~D64が到来するビデオデータカラー信号の15mV以内に放電できるようなサイズとされる。66~68および70の各デマルチプレクサ回路、あるいは6群全部に対して連続動作が繰り返される。

【0024】第nロー線走査動作開始時に、ローnのピクセルスイッチングトランジスタは既に完全にONとされている。したがって、走査されたローn-1がディセレクトされた後で、次にローnのピクセルがプリチャージされる。残りの49  $\mu$ Sデータ入力転送時間が各8  $\mu$ Sの本質的に等しい時間に割付けられる場合には、ローnのD1~D64コラムの第1ブロックのピクセルトランジスタがピクセル放電時間のための全49  $\mu$ Sを有し、D65~D128コラムに接続されたローnの第2ブロックのピクセルトランジスタがおおよそ41  $\mu$ Sの放電時間を有している。第3ブロックはおおよそ33  $\mu$ Sとなり、以下同様である。ローnの最終ブロックピクセルトランジスタには実質的に僅か9  $\mu$ Sのピクセル放電時間しか残されていない。図3(d)に示すように6群のピクセルトランジスタの各々へ7  $\mu$ Sの時間を割り付け最終7  $\mu$ Sをピクセル安定化用とすると、全ピクセルトランジスタに十分な放電時間が与えられる。放電時間が短いとピクセルの第6ブロックに対するエラー電圧 $\Delta V$ を発生することができる。 $\Delta V$ を低減して256グレイレベルの分解能とするために、さらに7  $\mu$ Sをピクセル安定化時間に割付けることが望ましい。この場合、第6群のピクセルキャパシタがそのビデオ信号レベルへ安定化するための14  $\mu$ Sを利用できる。(e)線に示すようにn-1線がディセレクトされていると、n線がセレクトされておりその線に印加される電圧は(e)に示すように2.0Vの最大値である。

【0025】デマルチプレクス比はビデオリード数および信号入力リード数に影響を及ぼす。それは製品の応用に依じて最適化もしくは妥協することができる。例えば、高分解能および/もしくは高ピクチャ品質に対しては、小さいデマルチプレクス比を使用して64ではなくグループ当たりよく多くのビデオ信号リードを基板14へ接続することができる。また、要求グレードの低いもしくは低速ビデオ製品に対しては入力リード数を大幅に低減することができる。

【0026】さらに、本出願では信号転送にNチャネルトランジスタが使用されまた正確な信号電圧を得るために放電するよりも充電する方が遥かに容易かつ迅速に行われるためのビデオ信号の入力中にデータ線やピクセルが放電されるという事実により、データ線およびピクセルは必要最高電圧レベルプリチャージされる。

【0027】さらに、 $\Phi_{1,e}$ および $\Phi_{1,o}$ （線104および106）を結合してグループ1内の多重化トランジスタ108、110……112、114の全ゲートに供給する一つのコントロール線信号とすることができ、信号 $\Phi_{1,e}$ および $\Phi_{1,o}$ の結合はゲート電圧ストレスが問題ではなくデマルチプレクストランジスタ108、110……112、114のデバイス特性が内部データ線およびピクセルキャパシタを均一に放電させるのに充分なほど良好である場合に行うことができる。同様に、図2の68および70を含む、他の5群への130および132等の他のデマルチプレクス線対を結合して各対に対する1本のコントロール線とすることができ、このような場合には、マルチプレクサゲートコントロール線数を半減することができる。

【0028】本発明により所要データ入力リード数が低減されコラムおよびロードドライバ回路がディスプレイ基板上に直接集積されるアクティブマトリックス液晶ディスプレイが開示される。独立基板上に集積回路を実装する必要性が無くなるため、これによりコストが低減され信頼度が向上する。

【0029】本例について、 $384 \times 240$ ピクセルカラーハンドヘルドTVが使用される。水平ピクセル数は384である。デマルチプレクサおよびプリチャージ回路をディスプレイ自体の上に薄膜トランジスタにより製作してビデオデータを転送しディスプレイがビデオ源に直接インターフェイスされる。ディスプレイ外部のビデオ源からのビデオ信号は指示されたライン時間間隔の1/6を使用してディスプレイ64のデータ線へ一時に到来するようにされる。6群の各々に2個ずつの12個のコントロール信号により、異なる6ブロック内のデマルチプレクストランジスタは到来するビデオ信号をディスプレイの6群の64本内部データ線へ逐次転送することができる。第1の64本内部データ線へのビデオデータ転送完了後に、次の64個のビデオ信号が内部データ線D65～D128へ転送される。これはデマルチプレクス回路の第2セットのコントロール信号をイネーブルして行われる。各ビデオデータ信号の転送は指示されたライン時間間隔の1/6期間中に行われる。この操作は6つのデマルチプレクス回路全部について逐次継続される。42 $\mu$ Sの割付けられたデータ入力時間内に1ロー

のビデオ情報全体が内部データ線へ転送される。

【0030】実施例について本発明を説明してきたが、発明の範囲を開示した特定形式に限定するものではなく、特許請求の範囲に明記された発明の精神および範囲に入る変更、修正、等価発明は全て本発明に含まれるものとする。

#### 【図面の簡単な説明】

【図1】自己走査TFTLCDビデオディスプレイ用の新システムおよびデータドライバ回路の基本ブロック図。

【図2】マトリクスアレイおよびその上のデータ走査回路の詳細図。

【図3】本発明の波形およびタイミングを示す図。

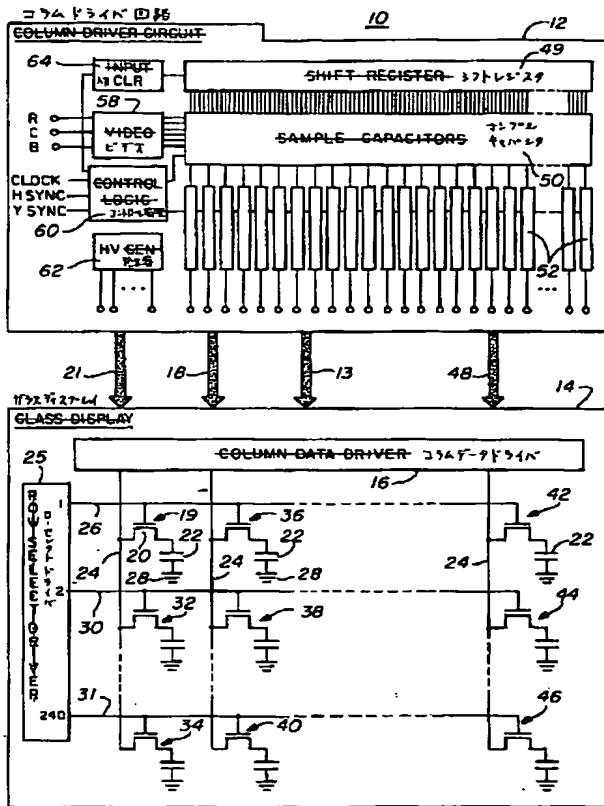
【図4】キャパシタが充電よりも迅速に放電することを示すキャパシタ充電波形図。

【図5】ピクセルキャパシタに全プリチャージ電圧 $V_+$ もしくは $V_-$ よりも低い電圧を印加して時間を節減することを示す波形図。

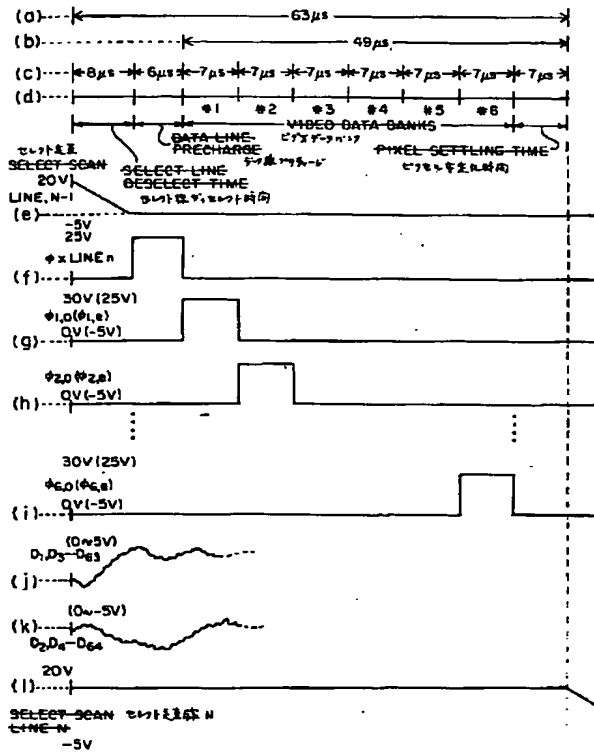
#### 【符号の説明】

- 10 ディスプレイシステム
- 12 コラムドライバ回路
- 14 ガラスディスプレイ
- 16 コラムデータドライバ
- 25 ローセレクトドライバ
- 49 シフトレジスタ
- 50 サンプルキャパシタ
- 52 出力アンプ
- 58 ビデオ
- 60 コントロール論理
- 62 高電圧発生器
- 64 入力CLR
- 66 グループI
- 68 グループ(X-1)
- 70 グループX
- 72 スイッチング素子
- 74 スイッチング素子
- 76 スイッチング素子
- 102 デマルチプレクスドライバ回路
- 116 プリチャージ回路

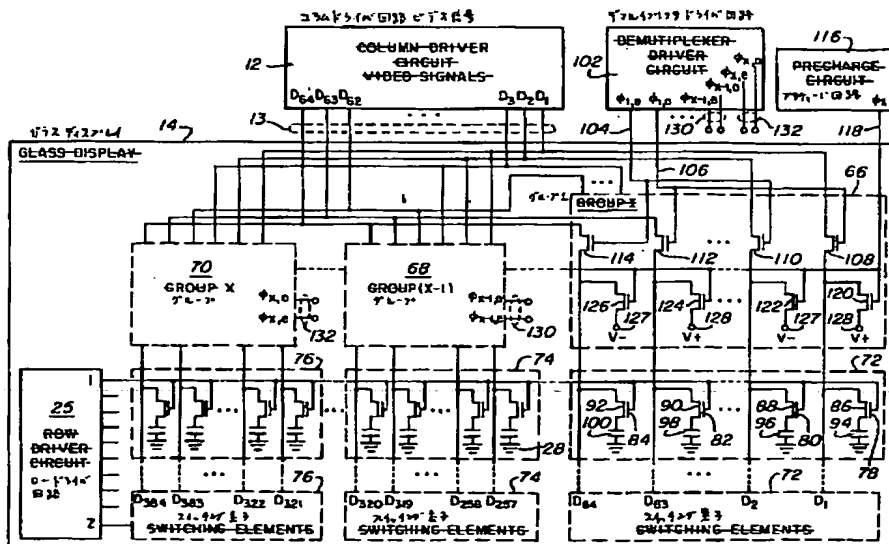
【図1】



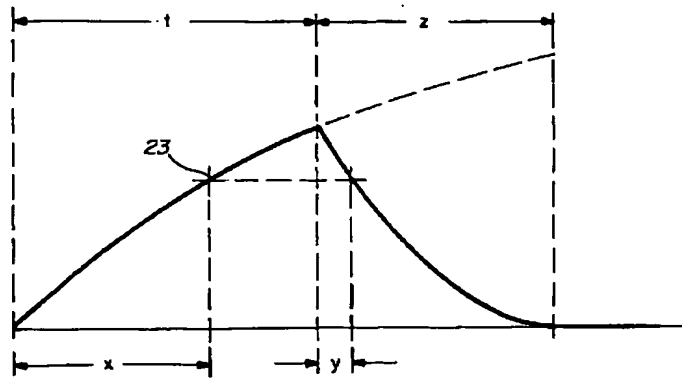
【図3】



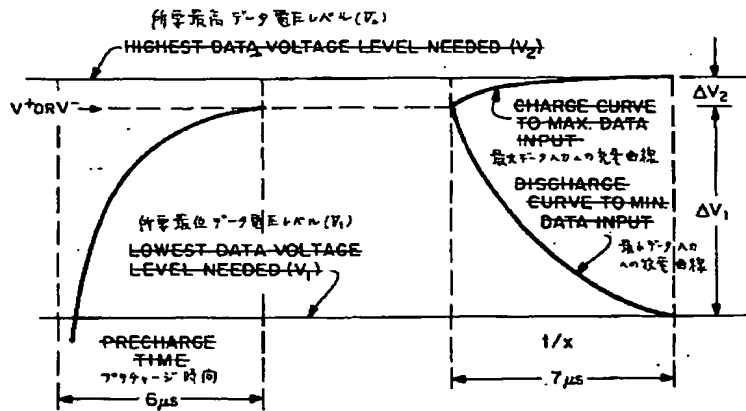
【図2】



【図4】



【図5】



## 【手続補正書】

【提出日】平成6年1月19日

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 少なくとも第1の基板がガラスである、電気光学材層により分離された対向する第1および第2の基板を有するディスプレイにおいて、該ディスプレイは、第1の基板上に堆積されたY本のビデオデータ入力線と、第1の基板上に堆積されたZ行のY個のスイッチング素子のX群と、第2の基板上の全スイッチング素子用の共通電極と、Z行のスイッチング素子に接続されて各ローのスイッチング素子を活性化させるロードライブ線と、第1の基板上に堆積されX群のY個のスイッチング素子およびY本のビデオデータ入力線に接続されて逐次連続的にY本の入力線上のビデオデータをX群のY個

のスイッチング素子の各々に直接に接続してビデオピクチャを形成するX群のY個のデマルチプレクシング素子、を具備するディスプレイ。

【請求項2】 請求項1記載のディスプレイにおいて、さらに、スイッチングトランジスタおよびY個の各スイッチング素子を形成する各容量ピクセル素子を具備し、各容量ピクセル素子は第1の基板上に堆積された第1の電極および第2の基板上の共通電極を有し、各第1の電極はX群のY個の各スイッチング素子内のY個のトランジスタの中の対応する1個に接続されており、さらに、第1の基板上に堆積されたY個のプリチャージ素子を具備し、その各々がデマルチプレクシング素子と対応するスイッチングトランジスタ間のY本のビデオデータ入力線の各々に接続されていてビデオ入力線にビデオデータ信号が加えられる前にデータ線およびピクセル素子をプリチャージする、ディスプレイ。

【請求項3】 請求項2記載のディスプレイにおいて、さらに、各デマルチプレクシング素子を形成する薄膜ト

ランジスタと、第1の基板上に堆積され偶数番の各デマルチプレクシング素子にそれぞれ接続されて各ローが逐次活性化される時に偶数番のビデオ入力線をX群のスイッチング素子の各々のZ行の中の選定行内の偶数番のスイッチングトランジスタに接続するX群のデマルチプレクサの各々に対する第1のコントロール線と、第1の基板上に堆積され奇数番の各デマルチプレクシング素子に接続されて各ローが逐次活性化される時に奇数番のビデオ入力線をX群のスイッチング素子の各々のZ行の中の選定行内の奇数番のスイッチングトランジスタに接続してビデオディスプレイ画を生成するX群のデマルチプレクサの各々に対する第2のコントロール線、を具備するディスプレイ。

【請求項4】 請求項3記載のディスプレイにおいて、さらに、Y個の各プリチャージ素子を形成する薄膜トランジスタと、X群の各スイッチング素子のY個の各スイッチングトランジスタを形成する薄膜トランジスタ、を具備するディスプレイ。

【請求項5】 請求項4記載のディスプレイにおいて、 $X=6$ 群、 $Y=64$ 、 $Z=240$ であるディスプレイ。

【請求項6】 請求項1記載のディスプレイにおいて、ビデオピクチャはテレビジョンピクチャであるディスプレイ。

【請求項7】 電気光学材料の薄層で分離され、少くとも一方がガラスである、第1および第2の対向基板を有するディスプレイを駆動するデータ線およびピクセルブリチャージ回路において、該回路は、第1の基板上に行列堆積され各々がピクセルキャパシタおよびディスプレイ素子を形成するスイッチングトランジスタを含むY個のスイッチング素子と、第2の基板上のピクセルキャパシタ用共通電極と、各々が入力ビデオデータ電圧レベルを有するY本のビデオデータ入力線と、ロースイッチング素子に接続され所与ローを逐次セレクトして逐次セレクトされた各ローを1～Z内のスイッチング素子を活性化するロードライブ回路と、第1の基板上に堆積されY本のビデオデータ入力線を各ロー1～Z内のセレクトされたX群のY個のスイッチング素子に逐次接続するX群のデマルチプレクシング回路と、第1の基板上に堆積されY個の各スイッチングエレメントの対応するエレメントに接続されてセレクトされたロー1～Z内の各データ線およびピクセルキャパシタをプリチャージし各ローがセレクトされる時にY本の入力ビデオデータ線上のビデオデータによりデータ線およびセレクトされたピクセルキャパシタが入力ビデオデータ電圧レベルへディスチャージされてビデオディスプレイピクチャを形成するY個のプリチャージ素子、を具備する回路。

【請求項8】 請求項7記載のピクセルブリチャージ回路において、さらに、各プリチャージ素子を形成するソース、ドレーンおよびゲート電極を有しソース電極はその関連するY本の入力データ線の中の1本に接続されて

いる薄膜トランジスタと、各プリチャージトランジスタのドレーン電極に接続されている電圧源と、各プリチャージ薄膜トランジスタのゲート電極に接続されY本のビデオ入力データ線上のデータがスイッチング素子に接続される前に全データ線およびセレクトされたX群のスイッチング素子内のセレクトされたローの関連するピクセルキャパシタを導通かつプリチャージしてデータ線により各ピクセルキャパシタがディスプレイピクチャを形成する入力ビデオデータ電圧レベルへディスチャージできるようにするプリチャージ信号線、を具備するピクセルブリチャージ回路。

【請求項9】 請求項8記載のピクセルブリチャージ回路において、さらに、奇数番入力データ線 $D_1, D_3 \cdots D_{n-1}$ に接続されたプリチャージトランジスタのドレーン電極に接続された第1の所定電圧と、偶数番の入力データ線 $D_2, D_4 \cdots D_n$ に接続されたプリチャージトランジスタのドレーン電極に接続された第2の異なる所定電圧、を有するピクセルブリチャージ回路。

【請求項10】 電気光学材の膜により分離され、少くとも一方がガラスである、第1および第2の基板が対向するディスプレイの入力線を低減するシステムにおいて、該システムは、第1の基板上にZ行に堆積され所定の電圧レベル（V+もしくはV-）と入力ビデオデータ電圧レベルとの間で充放電を行ってディスプレイ像を生成するX群のY列のスイッチング素子と、第1の基板上に堆積されたY列のビデオデータ入力線と、第1の基板上に堆積されY列のビデオデータ入力線をX群の各々のY列のスイッチング素子の中の対応する素子に逐次接続するデマルチプレクシング回路と、デマルチプレクシング回路がY列のビデオデータ入力線を固定時間tにわたってX群のスイッチング素子に逐次接続できるようにし、ビデオデータ線は第1の時間だけX群の各々に逐次接されて、最終群Xのスイッチング素子が入力ビデオデータ電圧レベルに安定化するための第2の固定時間がさらに得られるようにするコントロール手段、を具備するシステム。

【請求項11】 請求項10記載のシステムにおいて、さらに、X群のスイッチング素子のZ行に接続されZ行のスイッチング素子の各々を逐次セレクトする信号を発生するロードライブ手段と、Y列のZ行に接続されX群のスイッチング素子のビデオデータ入力線をデマルチプレクスする前にセレクトされた各ローの各スイッチング素子を第3の時間だけプリチャージするプリチャージ回路、を含むシステム。

【請求項12】 請求項11記載のシステムにおいて、さらに、ローセレクト信号を除去してスイッチング素子はそのビデオデータ電荷を保持するように絶縁することによりローn-1内のスイッチング素子をディセレクトする第3のプリチャージ期間に先行する第4の時間を含む、システム。

【請求項13】 請求項12記載のシステムにおいて、 $t = 42 \mu S$ 、 $X = 6$ 、 $Y = 64$ である、システム。

【請求項14】 ディスプレイ装置へのデータドライブ線数を低減するシステムにおいて、前記ディスプレイ装置は電気光学材層により分離された対向する第1および第2の基板を有し、少くとも第1の基板はガラスであり、複数本の内部データ線がX群Y列Z行内の第1の基板上に堆積された同様に複数個のピクセルキャパシタに接続されていて充電されるとピクチャを表示するようにされており、該システムは、X群Y列の内部データ線およびピクセルキャパシタの全てに対するY本のビデオデータ入力信号線を第1の固定時間t内に逐次デマルチプレクスし、X群Y列の各々に対しては第2の固定時間 $t/X$ だけ逐次デマルチプレクスして全内部データ線およびセレクトされたピクセルを入力ビデオデータ電圧レベルへ充電及びディスチャージさせX群の最後のセレクトされたピクセルキャパシタが入力ビデオデータ電圧レベルへ安定化するのに十分な時間を持つことができるようにする第3の付加固定時間が得られるようにする第1の回路であって、第4の固定時間中にローn-1内の全ピクセルキャパシタは絶縁される第1の回路と、第5の固定時間中にローn内の全内部データ線およびピクセルキャパシタを第1の電圧レベルへプリチャージする第2の回路であって、ピクセルの連続する各ローは第1の電圧レベルへ逐次充電され次に表示された時間だけデマルチプレクスされたデータ信号により入力ビデオデータ電圧レベルへ変えられかつ各連続ローn-1内のピクセルが絶縁されてディスプレイピクチャを形成する前記第2の回路、を具備するシステム。

【請求項15】 逐次走査されるZ行内のX群のY列線内の複数個のピクセルキャパシタに多重化ビデオデータ信号が接続されている入力ビデオデータ線を有するディスプレイの動作改善回路において、該回路は、ローn内の全データ線およびピクセルキャパシタを第1の固定時間だけ第1の所定電圧レベルへプリチャージする第1の回路手段と、走査されたローn内のX群のピクセルキャパシタへのビデオデータ入力信号を後続する第2の固定時間内にデマルチプレクスして走査されたロー内のX群の各々のピクセルキャパシタの第1の所定電圧レベルが入力ビデオデータ電圧レベルへ変えられてZローの逐次走査時にビデオディスプレイが形成される第2の回路手段、を具備する回路。

【請求項16】 請求項15記載の回路において、さらに第3の固定時間中にZローを逐次走査してローn-1内の全ピクセルキャパシタを絶縁しその後第1の固定時間中にローn内の全ピクセルキャパシタをプリチャージする第3の回路手段を含む回路。

【請求項17】 請求項16記載の回路において、第2の回路手段は所与ローn内のX群のピクセルキャパシタの全てに対するビデオ入力信号を第2の時間t内にデマ

ルチプレクスして各ピクセルキャパシタの電圧を第2の入力ビデオデータ電圧レベルに変え、第1の回路手段は全データ線およびセレクトされたローn内の各ピクセルキャパシタを第1の固定時間内にプリチャージして各ピクセルキャパシタを第1の所定電圧レベルへプリチャージし、第3の回路手段はローn-1内の全ピクセルキャパシタを第3の固定時間内に分離することによりローn-1をディセレクトする回路。

【請求項18】 請求項17記載の回路において、第2の回路手段はX群の各ピクセルキャパシタへのビデオデータ入力信号を $t/X$ 時間内にデマルチプレクスしその後付加時間を得てローnがローn-1としてディセレクトされる前にX群内の各ピクセルキャパシタがその入力ビデオデータ電圧レベルへ安定化するのに十分な時間を持つようにする回路。

【請求項19】 電気光学材層により分離され少くとも第1の基板がガラスである対向する第1および第2の基板を有しかつXローYコラムのX群の第1の基板上に堆積されて充電された時にピクチャを発生する複数個のピクセルキャパシタを有するディスプレイのデータドライブ線数低減方法において、該方法は次のステップ、すなわち、(a) X群Yコラムの全ピクセルキャパシタに対するY本のビデオデータ入力線を固定時間t内に逐次マルチプレクスし、X群Yコラムの各々に対しては第1の固定時間だけ逐次マルチプレクスして各データ線および関連するセレクトされたピクセルが予め選定された電圧レベルを受信してX群の最後のセレクトされたピクセルキャパシタが所定電圧レベルに安定化するための十分な時間を持つことができるようにするさらに第2の固定時間が得られるようにし、(b) 第1の固定時間よりも大きい第3の固定時間中にローn-1内の全ピクセルキャパシタを分離し、(c) 第1の固定時間よりも小さい第4の固定時間中にローn内の全ピクセルキャパシタを所定の第1電圧レベルにプリチャージし、(d) Zローの各々についてステップ(a)～(c)を逐次繰り返してディスプレイピクチャを形成する、ことからなる方法。

【請求項20】 電気光学材により分離され少くとも第1の基板がガラスである対向する第1および第2の基板を有するディスプレイの形成方法において、該方法は次のステップ、すなわち、第1の基板上にY本のビデオデータ入力線を堆積し、第1の基板上にZローのY個のスイッチングエレメントのX群を堆積し、全スイッチングエレメントに対する共通電極を第2の基板上に形成し、ロードラインを逐次Zローのスイッチングエレメントのセレクトされたエレメントに接続して各ローのスイッチングエレメントを活性化させ、第1の基板上にX群Y個のデマルチプレクシングエレメントを堆積し、X群Y個のデマルチプレクシング素子をX群Y個のスイッチング素子およびY本のビデオデータ入力線に接続してY本

のビデオデータ入力線が逐次連続的にX群Y個のスイッチング素子の各々に直接に接続されて入力線上のビデオデータによりビデオピクチャを形成する、ことからなる方法。

【請求項 2 1】 電気光学材料層により分離され少くとも一方がガラスである対向する第 1 および第 2 の基板を有するディスプレイを駆動するピクセルプリチャージ回路の形成方法において、該方法は次のステップ、すなわち、各々がディスプレイエレメントを形成するスイッチングトランジスタおよびピクセルキャパシタを含む複数個のスイッチング素子を第 1 の基板上にZローYコラムのX群として堆積し、ピクセルキャパシタ用共通電極を第 2 の基板上に形成し、第 1 の基板上にY本のビデオデータ入力線を形成し、スイッチング素子に接続されて所与のローを逐次セレクトし逐次セレクトされる各ロー 1 ~ Z 内のスイッチング素子を活性化させるロードドライブ回路を第 1 の基板上に堆積し、Y本のビデオデータ入力線を各ロー 1 ~ Z 内のX群Yコラムのスイッチング素子に逐次接続するX群のデマルチプレクシング回路を第 1 の基板上に堆積し、セレクトされたX群内のY個のスイッチング素子の中の対応する素子に接続されるY個のプリチャージ素子を第 1 の基板上に堆積してセレクトされたロー 1 ~ Z 内の各ピクセルキャパシタを第 1 の所定電圧へプリチャージしてY本の入力ビデオデータ線上のビデオデータ電圧レベルによりセレクトされた各ピクセルキャパシタの電圧が入力ビデオデータ電圧レベルに変化して各ローのセレクト時にビデオディスプレイピクチャが形成される、ことからなる方法。

【請求項 2 2】 電気光学材膜により分離され少くとも一方がガラスである対向する第 1 および第 2 の基板からなるディスプレイへの入力線低減方法において、該方法は次のステップ、すなわち、X群Yコラムのスイッチング素子を第 1 の基板上にZローに堆積して所定の電圧レベル (V+) および入力ビデオデータ電圧レベル間で充放電を行いディスプレイ像を生成し、Yコラムのビデオデータ入力線を第 1 の基板上に堆積し、デマルチプレクシング回路を第 1 の基板上に堆積してYコラムのビデオデータ入力線をX群の各々のYコラムスイッチング素子の中の対応する素子に逐次接続し、コントロール手段をデマルチプレクシング回路に接続してYコラムのビデオデータ入力線を固定時間tにわたってX群のスイッチング素子に逐次接続できるようにし、ビデオデータ線は第 1 の時間t/XだけX群の各々に逐次接続されて最終群Xのスイッチング素子が所定の電圧レベル (V+) から入力ビデオデータ電圧レベルへ安定化するための付加時間が得られる、ことからなる方法。

【請求項 2 3】 少くとも第 1 の基板がガラスであり電気光学材層で分離された第 1 および第 2 の対向基板を有し、かつ複数個のピクセルキャパシタが第 1 の基板上にX群のYコラムZローとして堆積されていてYデータ入

力線上で多重化されたデータ信号によりチャージされるとディスプレイピクチャを発生するディスプレイのデータドライブ線数低減方法において、該方法は次のステップ、すなわち、第 1 の時間中第 1 の回路によりロー n-1 内の全キャパシタを分離し、第 2 の時間中に第 2 の回路によりロー n 内の全ピクセルキャパシタを所定電圧へプリチャージし、X群Yコラムの全ピクセルキャパシタに対するY個のビデオデータ入力信号を第 3 の固定時間t内に、またX群Yコラムの個々のピクセルキャパシタに対しては第 4 の固定時間t/Xだけ第 3 の回路により逐次デマルチプレクスしてセレクトされたピクセルキャパシタの所定のプリチャージ電圧を所定のビデオデータ信号電圧レベルに変えさらにX群の最後のセレクトされたピクセルキャパシタがビデオデータ電圧レベルへ安定化するのに十分な時間を持つことができるようにするためにさらに第 5 の時間を与え、ピクセルの各連続ロー n は逐次繰返しチャージされ、その所定のプリチャージ電圧はデマルチプレクスされたビデオデータ信号によりビデオデータ電圧へ変化され各連続ロー n-1 内で分離されてディスプレイピクチャが形成される、ことからなる方法。

【請求項 2 4】 逐次走査されるZローのX群Yコラム線内の複数個のピクセルキャパシタへデマルチプレクスされた線上に多重化人力ビデオデータを有するディスプレイの動作改良方法において、該方法は次のステップ、すなわち、ロー n 内の全コラム線およびピクセルキャパシタを第 1 の回路手段によりある時間所定のプリチャージ電圧レベルへプリチャージした後で入力信号をX群へデマルチプレクスし、第 2 の回路手段により入力ビデオデータ信号を走査されるロー内のX群のピクセルキャパシタへデマルチプレクスしてZローが逐次走査される時にセレクトされたロー内のX群の各々の各ピクセルキャパシタのプリチャージ電圧レベルが入力ビデオデータ電圧レベルへ変化してビデオディスプレイが形成される、ことからなる方法。

【請求項 2 5】 請求項 2 4 記載の方法において、さらに第 3 の回路手段によりZローを逐次走査してロー n-1 内の全ピクセルキャパシタを分離しその後でロー n 内の全ピクセルキャパシタをプリチャージするステップを含む方法。

【請求項 2 6】 電気光学材料の層で分離され、少くとも一方がガラスである、第 1 および第 2 の対向基板を有するディスプレイを駆動するデータ線およびピクセルプリチャージ回路において、該回路は、第 1 の基板上に行列堆積され各々がピクセルキャパシタおよびディスプレイ素子を形成するスイッチングトランジスタを含むY個のスイッチング素子と、第 2 の基板上のピクセルキャパシタ用共通電極と、各々が入力ビデオデータ電圧レベルを有するY本のビデオデータ入力線と、ロースイッチング素子に接続され所与ローを逐次セレクトして逐次セ



クトされた各ロー内のスイッチング素子を活性化するロードドライブ回路と、第1の基板上に堆積されY個の各スイッチングエレメントの対応するエレメントに接続されてセレクトされたロー内の各データ線およびピクセルキャパシタをプリチャージし各ローがセレクトされる時に

Y本の入力ビデオデータ線上のビデオデータによりセレクトされたピクセルキャパシタが入力ビデオデータ電圧レベルへチャージ及びディスチャージされてビデオディスプレイピクチャを形成するY個のプリチャージ素子、を具備する回路。

【手続補正書】

【提出日】平成6年6月2日

【手続補正3】

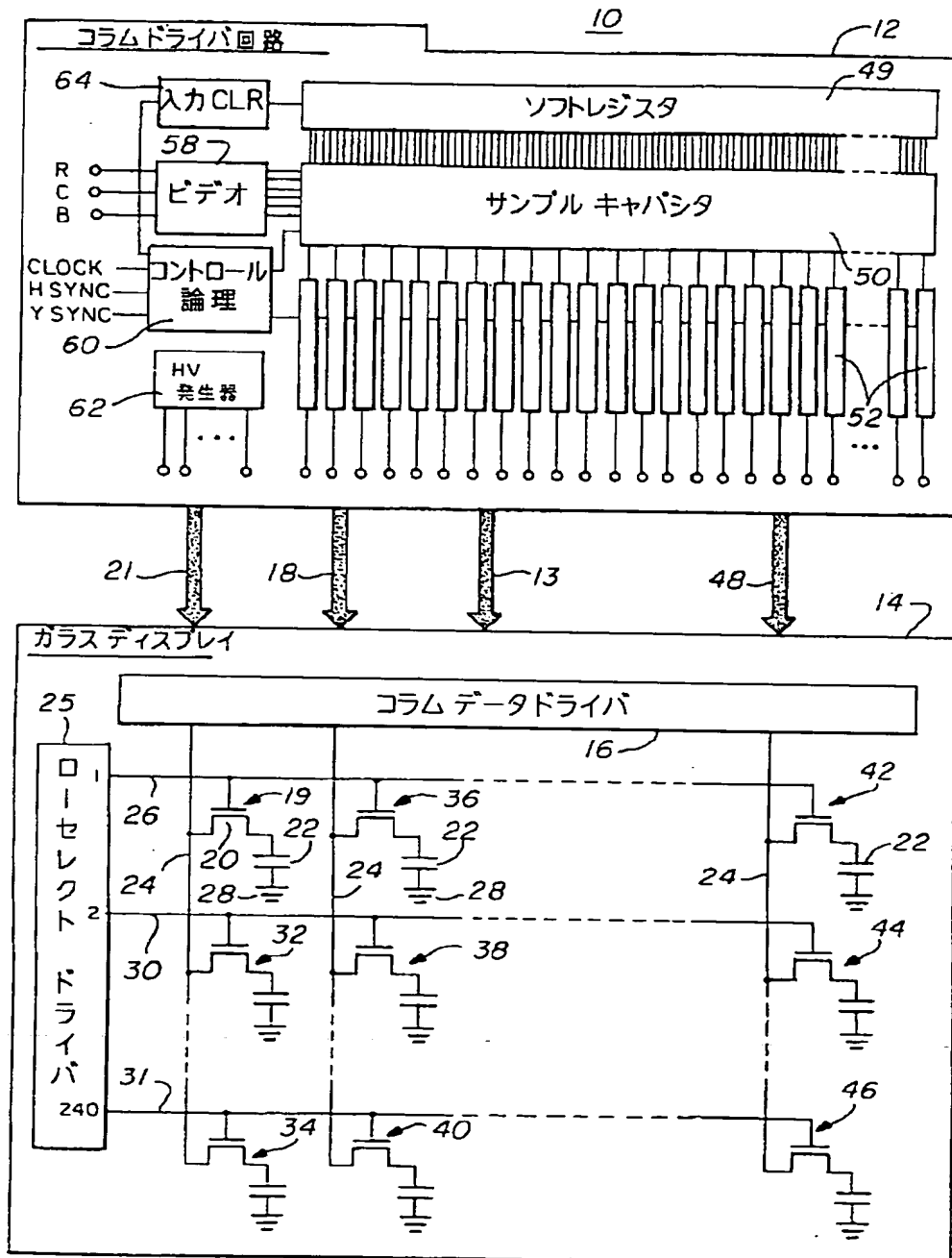
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正4】

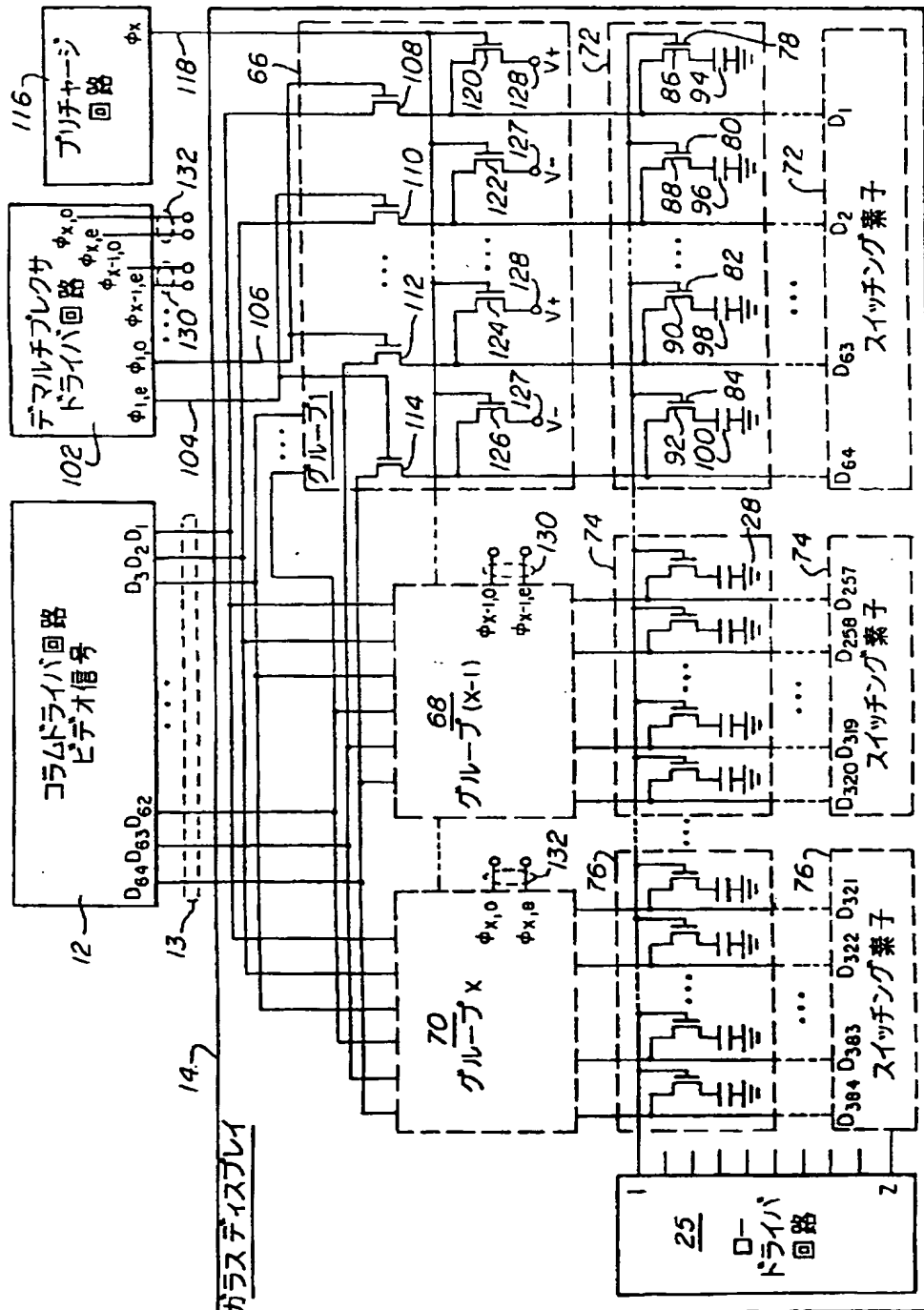
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正5】

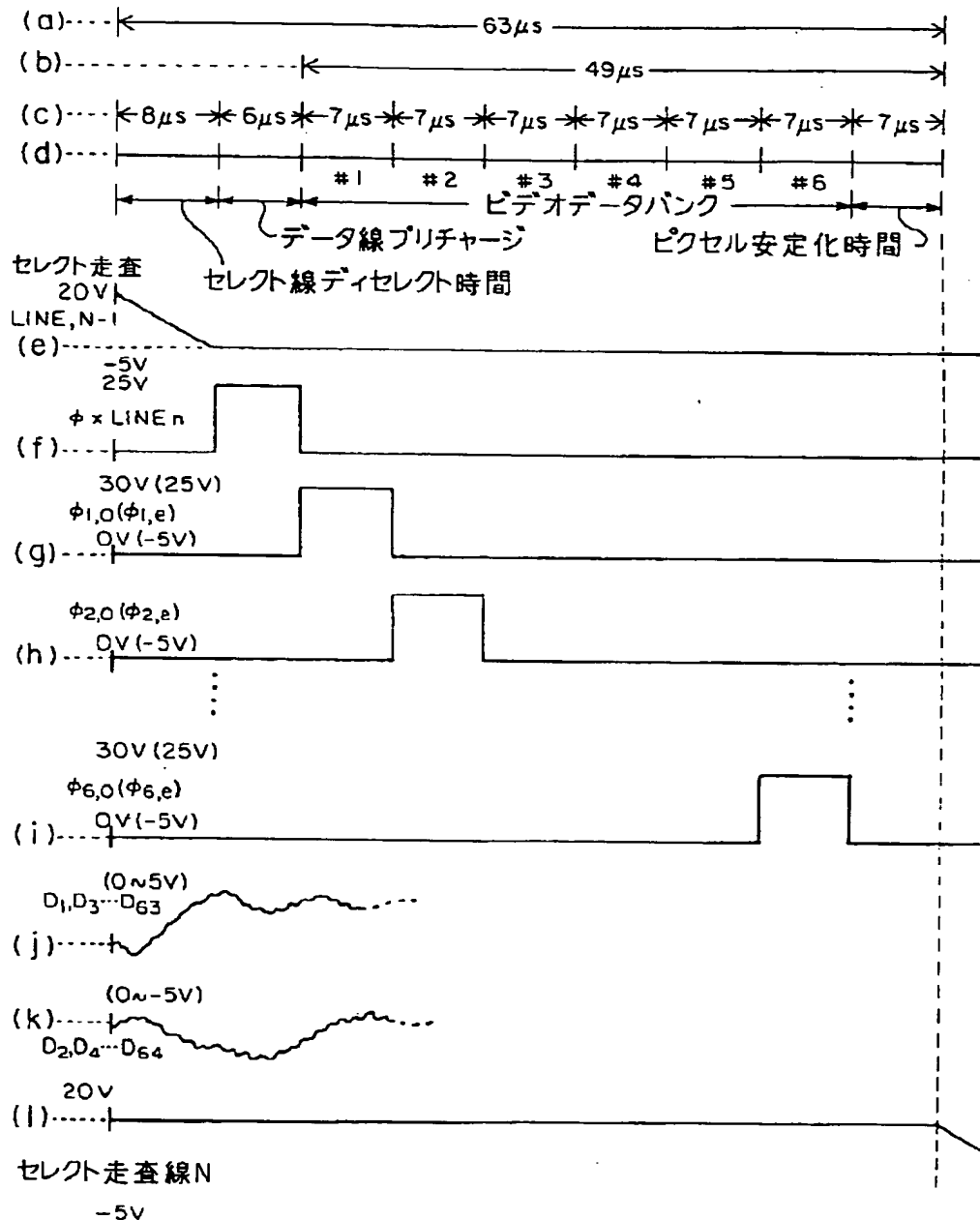
【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正内容】

【図3】



【手続補正 6】

【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正内容】

【図 5】

